



Deney 4: İşlemsel Yükselteç (OpAmp) Karakteristikleri

1 Amaç

1. Transistörlü fark yükseltecinin çalışma prensibini anlamak.
2. Fark yükseltecinin giriş ve çıkış dalga şekillerini ölçmek.
3. Önemli işlemsel yükselteç karakteristiklerini anlamak.
4. Önemli işlemsel yükselteç karakteristiklerini ölçmek.

2 Ön Hazırlık Soruları

1. Fark yükseltecinin dört giriş/çıkış konfigürasyonunu sayınız. Tek giriş, dengesiz çıkışlı konfigürasyonda V_{O1} ve V_{O2} çıkış işaretleri, V_{I1} giriş işaretiyle ve birbirleriyle hangi faz ilişkisine sahiptir? Nedenini kısaca açıklayınız.
2. Çift giriş, dengeli çıkışlı bir fark yükseltecinde her bir transistörün gerilim kazancı $A_V = 50$ 'dir. $V_{I1} = 10$ mV ve $V_{I2} = -10$ mV için çıkış gerilimi V_O değerini hesaplayınız. $V_{I1} = V_{I2} = 10$ mV için V_O ne olur?
3. Fark modu kazancı $A_d = 200$ ve ortak mod kazancı $A_c = 0.02$ olan bir fark yükseltecinin CMRR değerini hesaplayınız. CMRR değerinin büyük olması neden istenir?
4. İdeal bir işlemsel yükseltecin karakteristiklerini (A_V , Z_i , Z_o , BW) yazınız. Kaynak gerilimi $V_s = 2$ V olan bir gerilim bölücüde seri direnç 10 k Ω iken çıkış gerilimi 1 V ölçülmüştür. Yük (paralel) direnci kaç k Ω 'dur?
5. Bir işlemsel yükselteç çıkışı, $R_L = \infty$ iken $V_O = 4$ V, $R_L = 1$ k Ω iken $V'_O = 3.5$ V ölçülmüştür. Çıkış empedansı Z_o değerini hesaplayınız. Yükselme zamanı $t_r = 2$ μ s ve $V_{P-P} = 10$ V olan bir çıkış için yükselme hızı SR'yi $SR = 0.8V_{P-P}/t_r$ bağıntısıyla hesaplayınız.

3 Temel Kavramlar

3.1 Fark Yükselteci

Şekil 4-1'de, pratik bir işlemsel yükselteç (μ A741) eşdeğer devresi gösterilmiştir. Bu devrenin yapısı, giriş katı fark yükselteci düzenlemesine sahip, çıkışı kapasitesiz (OCL) yükselteç yapısına benzemektedir.

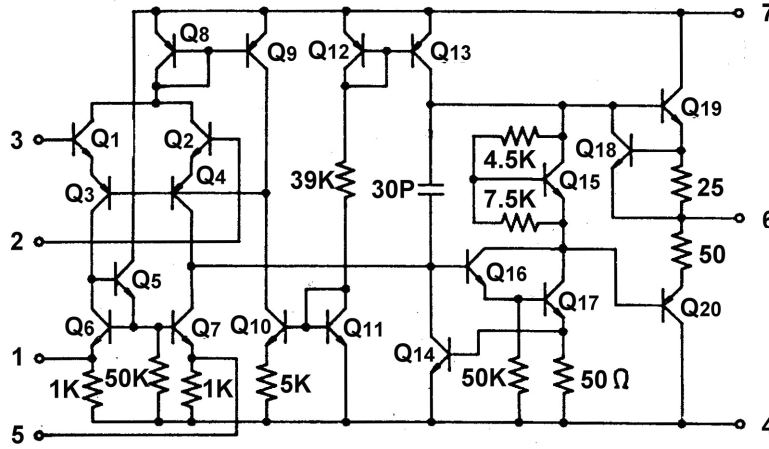
Fark yükseltecinin özellikleri aşağıda kısaca analiz edilmiştir.

Fark Yükseltecinin Devre Yapısı

Şekil 4-2(a)'da, ortak emetör direncine sahip iki adet ortak emetörlü yükselteç, iki giriş terminali (V_{I1} , V_{I2}) ve iki çıkış terminalinden (V_{O1} , V_{O2}) oluşan fark yükselteci devresi gösterilmiştir. Bir fark yükselteci entegre devresinin komple iç devresi Şekil 4-2(b)'de, devre sembolü ise Şekil 4-2(c)'de gösterilmiştir.

Fark yükseltecinin çıkış sinyali, iki giriş sinyali farkının yükseltilmesiyle elde edilir. Diğer bir ifadeyle çıkış sinyali, iki giriş sinyali arasındaki fark ile doğru orantılıdır:

$$V_O = A_V (V_{I1} - V_{I2})$$



Şekil 4-1. µA741'in eşdeğer devresi.

Giriş/Çıkış Konfigürasyonları

Fark yükseltecinin dört giriş/çıkış konfigürasyonu vardır:

1. Tek giriş, dengesiz çıkış
2. Tek giriş, dengeli çıkış
3. Çift giriş, dengesiz çıkış
4. Çift giriş, dengeli çıkış

Fark yükseltecinin giriş/çıkış konfigürasyonları aşağıda analiz edilmiştir:

Tek Giriş, Dengesiz Çıkış

Şekil 4-3'te gösterildiği gibi, Q1 ortak emetör düzenlemesine sahip olduğu için, V_{I1} baza uygulanır ve yükseltilir, çıkış da kollektörden alınır. Ortak emetörlü yükselteç karakteristiklerine bağlı olarak, kollektördeki çıkış sinyali, baz giriş sinyaline göre ters fazdadır, yani Q1'in V_{O1} çıkış sinyali V_{I1} ile ters fazdadır. Diğer bir ifadeyle, giriş ve çıkış arasındaki faz farkı 180° 'dir:

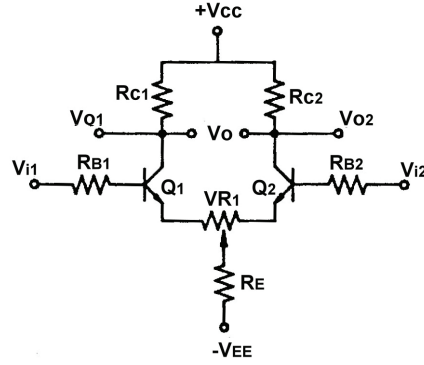
$$V_{O1} = -A_V V_{I1}$$

Şekil 4-4(c)'de gösterildiği gibi, Q1'in bazına V_{I1} sinyali uygulandığı zaman, kollektörden alınan V_{O1} çıkışına ek olarak, emetörden de çıkış sinyali alınabilir. Emetör izleyici karakteristiklerine bağlı olarak, emetörden alınan çıkış sinyali, bazdaki giriş sinyali ile aynı fazda ve hemen hemen aynı genliktedir ($A_V \approx 1$). Bundan dolayı, Q1'in emetöründen alınan sinyal, V_{I1} ile aynı fazda ve hemen hemen aynı genliktedir.

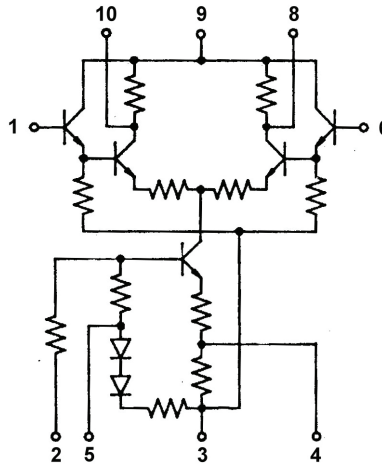
Q1 ve Q2'nin emetörleri birbirine bağlı olduğu için, bazı toprağa bağlı olan Q2'nin emetöründen alınan sinyal de, Q1 ile aynı şekilde, V_{I1} ile aynı fazda ve hemen hemen aynı genliktedir.

Q2'nin bazı doğrudan toprağa bağlıyken, emetör ve toprak arasında Q2'nin emetör sinyali ortaya çıkmaktadır. Emetör ile baz arasına uygulanmış gibi olan bu sinyal, Q2'nin giriş sinyali olarak düşünülebilir. Q2'nin bazındaki sinyal, V_{I1} ile ters fazdadır. Diğer bir ifadeyle, Q2'nin bazına uygulanan sinyal, V_{I1} ile aynı genlikte fakat ters fazdadır.

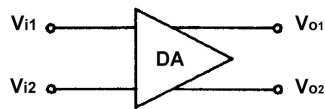
Q2'nin bazına uygulanan, V_{I1} ile aynı genlikte fakat ters fazda olan sinyal Q2 tarafından yükseltilir ve kollek-



(a) Temel devre

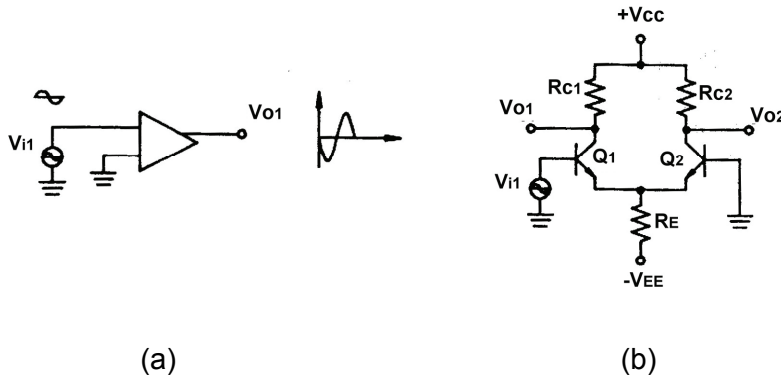


(b) Fark yükseltici IC'in iç devresi



(c) Sembol

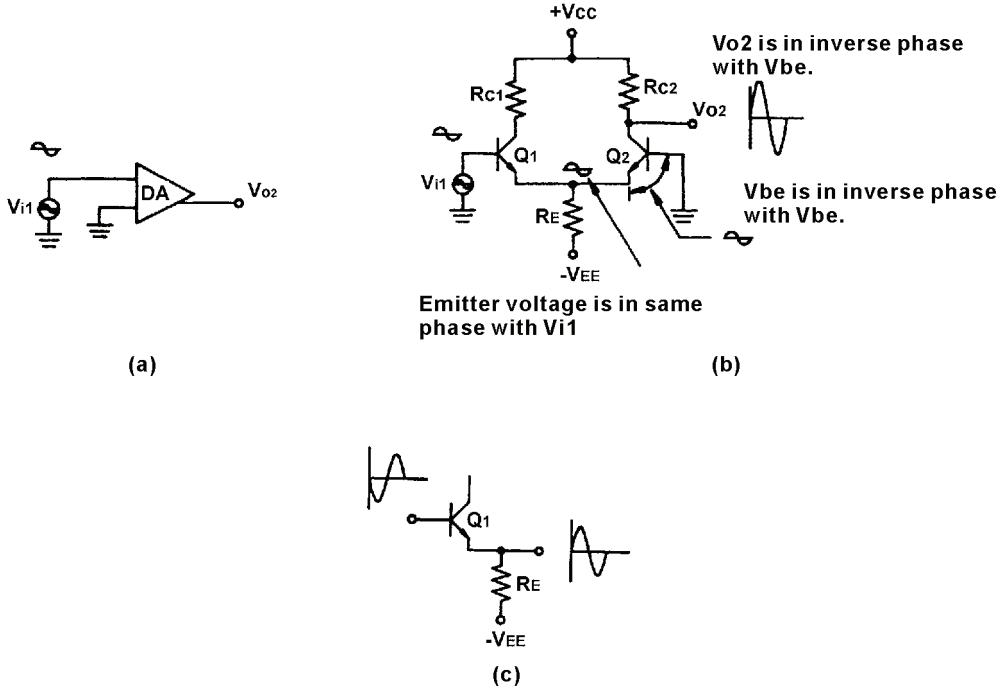
Şekil 4-2. Fark yükseltici: (a) temel devre, (b) fark yükseltici entegre devresinin iç devresi, (c) sembol.



(a)

(b)

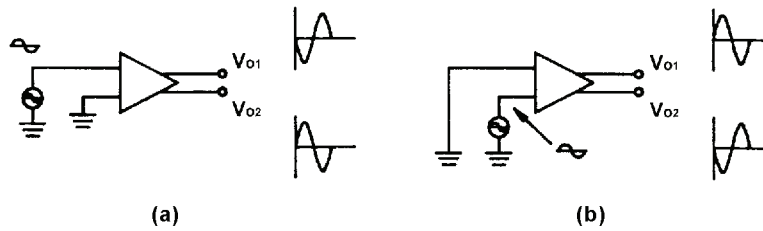
Şekil 4-3. Tek giriş, dengesiz çıkış (V_{O1}).



Şekil 4-4. Tek giriş, dengesiz çıkış (V_{O2}): (a) blok gösterim, (b) devre, (c) Q1'in emetöründen alınan çıkış.

törden V_{O2} çıkış sinyali olarak alınır. Q2'nin bazındaki sinyal, V_{I1} ile ters fazda olduğu için ve aynı zamanda kolektörden alınan sinyalin baz sinyaliyle ters fazda olması dolayısıyla, Şekil 4-4(b)'de gösterildiği gibi, V_{O2} , V_{I1} ile aynı fazdadır. Q1 ve Q2'nin gerilim kazançları A_V ise, Q2 baz sinyalinin genliği, Q1'in bazına uygulanan V_{I1} giriş sinyaline eşit olduğu için ($V_{O2} = A_V V_{I1}$) V_{O2} , V_{O1} 'e eşit ancak ters fazdadır.

Özetle, giriş sinyalinin V_{I1} 'e uygulanması durumunda, Şekil 4-5(a)'da gösterildiği gibi, V_{O1} 'den ters fazlı yükseltilmiş bir sinyal, V_{O2} 'den aynı fazlı yükseltilmiş bir sinyal elde edilir ve burada V_{O1} 'in genliği V_{O2} 'ye eşittir. Giriş sinyalinin V_{I2} 'ye uygulanması durumunda, Şekil 4-5(b)'de gösterildiği gibi, V_{O2} 'den ters fazlı yükseltilmiş bir sinyal, V_{O1} 'den aynı fazlı yükseltilmiş bir sinyal elde edilir.



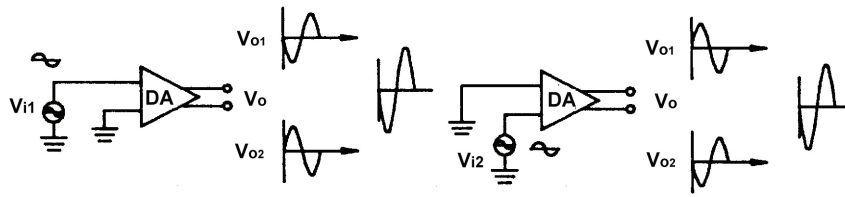
Şekil 4-5. Tek girişli fark yükseltecinin çıkış sinyalleri: (a) giriş V_{I1} 'e, (b) giriş V_{I2} 'ye uygulanmıştır.

Giriş sinyali, tek uçlu girişli fark yükseltecinin giriş uçlarından herhangi birine uygulandığında, V_{O1} ve V_{O2} 'den eşit genlikli ve ters fazlı yükseltilmiş sinyaller elde edilebilir.

Tek Giriş, Dengeli Çıkış

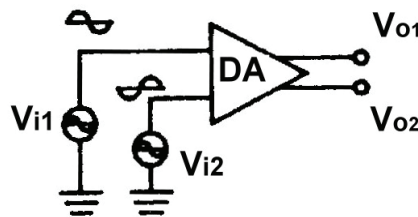
Şekil 4-6'da, tek girişli ve dengeli çıkışlı fark yükselteci konfigürasyonu ve dalga şekilleri gösterilmiştir:

$$V_O = V_{O1} - V_{O2} = 2V_{O1} = -2A_V V_{I1} \text{ ya da } 2A_V V_{I2}$$



Şekil 4-6. Tek giriş, dengeli çıkış konfigürasyonu ve çıkış sinyalleri.

Çift Giriş, Dengesiz Çıkış



Şekil 4-7. Çift giriş, dengesiz çıkış konfigürasyonu.

Şekil 4-7’de gösterildiği gibi,

$$V_{O1} = -A_V V_{I1} + A_V V_{I2} = -A_V (V_{I1} - V_{I2}) \quad (4-1)$$

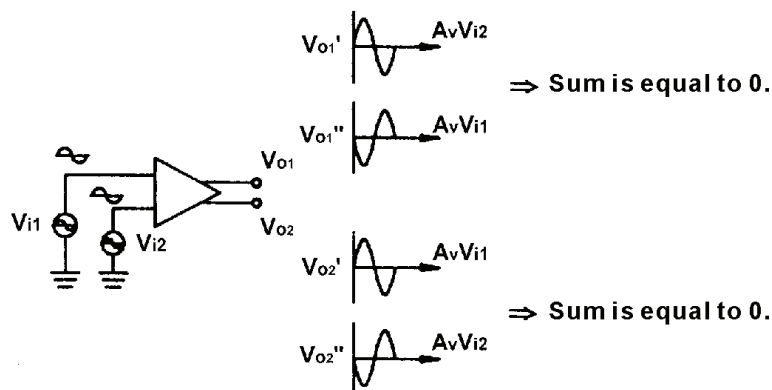
$$V_{O2} = A_V V_{I1} + (-A_V V_{I2}) = A_V (V_{I1} - V_{I2}) \quad (4-2)$$

$$V_d = V_{I1} - V_{I2} = V_{I1} - (-V_{I1}) = 2V_{I1} \text{ ya da } V_d = -2V_{I1}$$

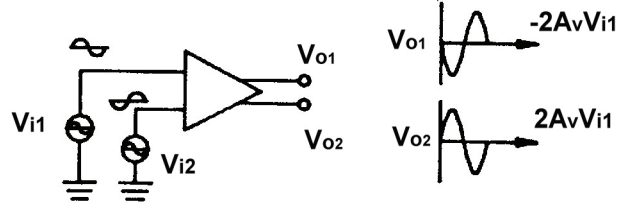
Denklem (4-1) ve (4-2)'den:

Şekil 4-8’de gösterildiği gibi, $V_{I1} = V_{I2}$ iken $V_{O1} = 0$ ve $V_{O2} = 0$ olur.

Şekil 4-9'da gösterildiği gibi, $V_{I1} = -V_{I2}$ iken $V_{O1} = -2A_V V_{I1}$ ve $V_{O2} = 2A_V V_{I1}$ olur.



Şekil 4-8. $V_{I1} = V_{I2}$ iken, V_{O1} ve V_{O2} dalga şekilleri.



Şekil 4-9. $V_{i1} = -V_{i2}$ olması durumunda, V_{o1} ve V_{o2} dalga şekilleri.

Çift Giriş, Dengeli Çıkış

Şekil 4-8 ve Şekil 4-9'da gösterildiği gibi,

$$V_O = V_{O1} - V_{O2} = -A_V (V_{I1} - V_{I2}) - A_V (V_{I1} - V_{I2})$$

$$V_O = -2A_V (V_{I1} - V_{I2}) = -2A_V V_d$$

$V_{I1} = V_{I2}$ iken $V_O = 0$ olur. $V_{I1} = -V_{I2}$ iken $V_O = -2A_V(2V_{I1}) = -4A_V V_{I1}$ olur.

Fark Yükseltecinin Kazançları

- A_c : Ortak mod kazancı; sinyalin kendisine göre yükseltme faktörüdür.
- A_d : Diferansiyel mod kazancı; fark sinyaline göre yükseltme faktörüdür.
- V_c : Ortak mod sinyali (sinyalin kendisi).
- V_d : Diferansiyel mod sinyali (fark sinyali).

$$V_O = A_d V_d + A_c V_c$$

İdeal fark yükseltecinde, A_c değeri mümkün olduğunca küçüktür ve V_O değeri A_d ile doğru orantılıdır.

Ortak Mod Bastırma Oranı (CMRR)

CMRR = A_d/A_c , fark yükseltecinin (ya da OPAMP'ın) gürültüyü bastırma kapasitesini göstermek için kullanılır. CMRR değerinin yüksek olması, daha küçük A_c değerine karşılıktır ve gürültü bastırma kapasitesinin daha iyi olduğunu gösterir:

$$V_O = A_d V_d + A_c V_c = A_d V_d + A_d V_d \times \frac{A_c V_c}{A_d V_d} = A_d V_d \left(1 + \frac{V_c}{V_d} \times \frac{A_c}{A_d} \right)$$

$$V_O = A_d V_d \left(1 + \frac{1}{\text{CMRR}} \times \frac{V_c}{V_d} \right)$$

CMRR çok büyük olduğu zaman:

$$V_O = A_d V_d \left(1 + \frac{1}{\text{CMRR}} \times \frac{V_c}{V_d} \right) = A_d V_d (1 + 0) = A_d V_d$$

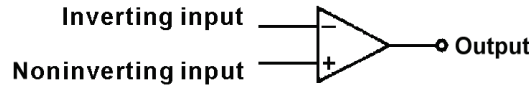
Ortak mod sinyal böylece bastırılmış olur. Gürültü tipik olarak, ortak mod sinyale benzer şekilde, V_{I1} ve V_{I2} 'de eşzamanlı olarak mevcut olacağı için, daha büyük CMRR değerine sahip fark yükseltici, daha iyi gürültü bastırma yeteneğine sahip olacaktır. CMRR değerlerine DA (fark yükseltici) ve OPAMP kataloglarından bakılabilir.

3.2 İşlemsel Yükselteç Karakteristikleri

Temel İşlemsel Yükselteç Karakteristikleri

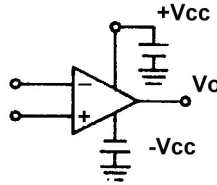
OP-AMP, işlemsel yükselteç olarak adlandırılan bir IC'dir ve aynı zamanda OPA olarak da kısaltılabilir.

OPA, bir eviren giriş ucu (-), bir evirmeyen giriş ucu (+) ve bir çıkış terminalinden oluşan bir yükselteçtir ve sembolü Şekil 4-10'da gösterilmiştir.



Şekil 4-10. OP-AMP sembolü.

OPA genellikle aynı genlikte (± 3 V ile ± 15 V aralığında, çoğunlukla ± 12 V) ve zıt polaritede iki güç kaynağı ile çalışır. Bağlantı, Şekil 4-11'de gösterilmiştir.



Şekil 4-11. Çift besleme gerilimli OP-AMP.

Şekil 4-1'de gösterilen OP-AMP eşdeğer devresi (741 örneği), OCL AMP'a çok benzemektedir. $V_I = 0$ V iken $V_O = 0$ V olacaktır. OP-AMP tek güç kaynağı ile de çalışabilir, ancak bu durumda V_I uygulandığında, V_O 0 V yerine $V_{CC}/2$ olacaktır.

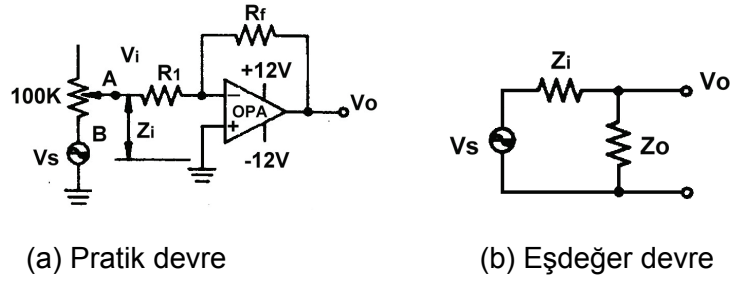
İdeal işlemsel yükselteç aşağıdaki karakteristiklere sahiptir:

1. $A_V = \infty$
2. $Z_i = \infty$
3. $Z_o = 0$
4. $BW = \infty$
5. $V_I = 0$ iken $V_O = 0$.
6. Karakteristikler sıcaklığa duyarlı değildir.

Yaygın olarak kullanılan karakteristik parametreler aşağıda tanımlanmıştır:

Giriş Empedansı (Z_i)

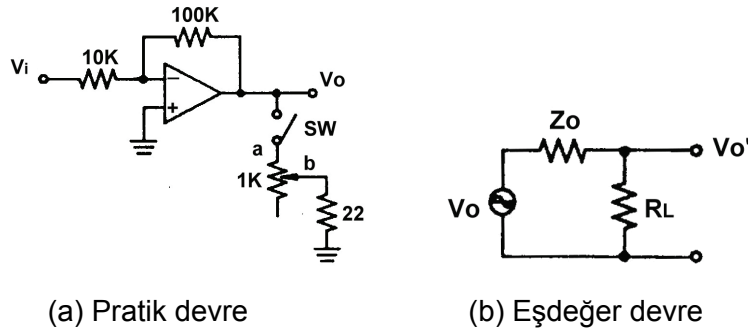
OP-AMP'ın ideal Z_i değeri ∞ olup, gerçek değeri çok büyüktür. Bununla birlikte, Şekil 4-12(a)'da gösterildiği gibi, çeşitli devrelerin bağlanmasından sonra Z_i , çevre elemanların (R_1 ve R_f) etkilerini de içerecektir. Şekil 4-12(b)'de gösterilen Z_i , yükleme etkisi kavramı kullanılarak hesaplanmaktadır.



Şekil 4-12. Z_i ölçüm devresi: (a) pratik devre, (b) eşdeğer devre.

Eğer $V_o = \frac{1}{2}V_s$ ise $Z_i = Z_o$ olur.

Çıkış Empedansı (Z_o)

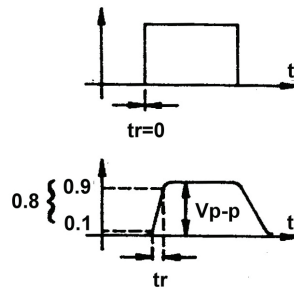


Şekil 4-13. Z_o ölçüm devresi: (a) pratik devre, (b) eşdeğer devre.

Şekil 4-13(a)'daki Z_o hesaplama yöntemi, Z_i hesaplama yöntemi ile aynıdır. Şekil 4-13(b)'de gösterildiği gibi, $R_L = \infty$ iken $V_o' = V_o$ 'dır ve $Z_o = R_L$ iken $V_o' = V_o/2$ 'dir.

Şekil 4-13(a)'da gösterildiği gibi, ilk önce VR1K, $V_o' = V_o/2$ olacak şekilde ayarlanır ve Z_o 'a eşit olan R_L (VR1Kab + 22 Ω) değeri ölçülür. $V_o' = V_o/2$ ayarlanamazsa, Z_o 'ı hesaplamak için $V_o' = V_o R_L / (Z_o + R_L)$ gerilim bölücü denklemi kullanılabilir. Daha sonra $R_L = \infty$ yapılarak V_o ölçülebilir.

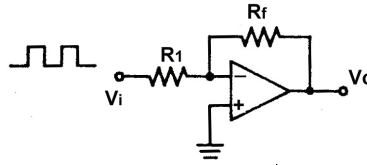
Yükselme Hızı (SR)



Şekil 4-14. Yükselme zamanı (t_r) ve yükselme hızı (SR) arasındaki ilişki.

Şekil 4-14'te gösterildiği gibi, SR, OPA'nın sinyal iletim hızını göstermek için kullanılır. SR'nin büyük olması, sinyalin daha çabuk iletilmesine karşılık gelir ve aynı zamanda yüksek frekanslı sinyallerle çalışabilme kapasitesinin daha fazla olduğunu ifade eder. Genel olarak, daha büyük SR değeri daha yüksek bant genişliği

anlamına gelmektedir.



Şekil 4-15. SR ölçüm devresi.

SR ölçüm devresi Şekil 4-15'te gösterilmiştir. t_r ve V_{p-p} , V_O dalga şekllinden hesaplanabilir. Daha sonra aşağıdaki denklem yardımıyla SR değeri hesaplanabilir:

$$SR = \frac{0.8 V_{P-P}}{t_r}$$

Burada $0.8V_{P-P}$, yükselme zamanı süresince gerilimdeki değişimi ve t_r yükselme zamanını göstermektedir.

Bant Geniřlięi (BW)

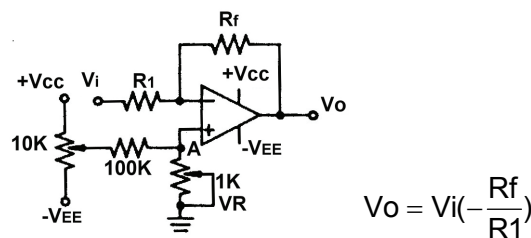
İdeal OPA'nın bant genişliği ∞ olmakla birlikte gerçekte durum böyle değildir. Kataloglarda verilen tipik BW değeri birkaç MHz mertebesinde dir. Pratikte, bant genişliğinin çok küçük olması, yüksek frekans devreleri için uygun değildir.

Ofset Gerilimi Ayarlama

İdeal OPA'larda $V_I = 0$ iken $V_O = 0$ V olmalıdır, ancak pratikte durum böyle olmamakta ve genellikle $V_I = 0$ iken $V_O = 0$ V olmamaktadır.

OPA'nın bir kontrol devresinde kullanılması durumunda, $V_I = 0$ V iken V_O 'ın 0 V'tan farklı olması, devrenin çalışmasını etkileyecektir. Pratik devrelerde, $V_I = 0$ iken $V_O = 0$ V olmasını sağlamak için, ofset gerilim ayarı gerçekleştirilmelidir. Ofset gerilimi ayarlama yöntemleri aşağıdaki gibi sınıflandırılabilir.

1. Eviren yükselteçte ofset

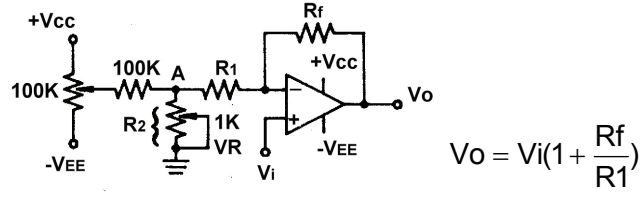


Şekil 4-16. Eviren yükselteç için ofset gerilimi ayarı.

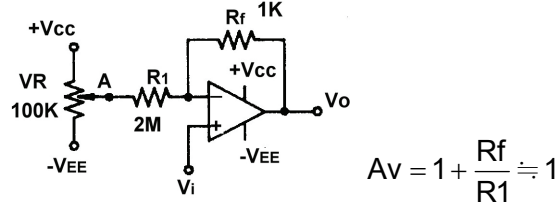
$V_I = 0$ V iken, VR'yi $V_O = 0$ V olacak şekilde ayarlayın. V_I toprağa bağlıken $V_O = V_A(1 + R_f/R_1)$ olduğu için, 1 k Ω ve 100 k Ω 'luk VR dirençlerinin ayarlanması V_O değerini değiştirebilir.

2. Evirmeyen yükselteçte ofset

$A_V = -R_f/(R_1 + R_2)$ olduğu için, $A_V \approx -R_f/R_1$ olması için, R_2 , R_1 'den çok daha küçük olmalıdır. $V_I = 0$ (toprağa bağlı) iken $V_O = V_A(-R_f/R_1)$ olduğu için, 1 k Ω ve 100 k Ω 'luk VR dirençlerinin ayarlanması V_O değerini değiştirebilir.



Şekil 4-17. Evirmeyen yükselteç için ofset gerilimi ayarı.

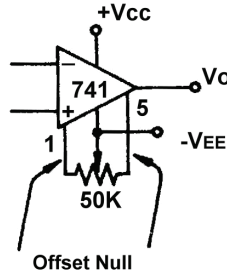


Şekil 4-18. Gerilim izleyici için ofset gerilimi ayarı.

3. Gerilim izleyicide ofset ayarı

$V_I = 0$ (giriş topraklanmış) iken $V_O = V_A(-R_f/R_1)$ olduğu için, 100 kΩ'luk VR direncinin ayarlanması V_O değerini değiştirebilir.

4. İşlemsel yükselteçte ofset null



Şekil 4-19. Ofset null devresi.

Şekil 4-19'da gösterilen devre, IC'nin ofset null uçları kullanılarak gerçekleştirilir ve daha sonra V_O değeri, IC'nin dahili diferansiyel katmanının denge durumu ayarlanarak iyileştirilebilir.

4 Gereklİ Ekipmanlar

- KL-22001 Temel Elektrik Devreleri Deney Düzeneği
- KL-25006 İşlemsel Yükselteç Devre Modülü (1)
- Osiloskop
- Multimetre



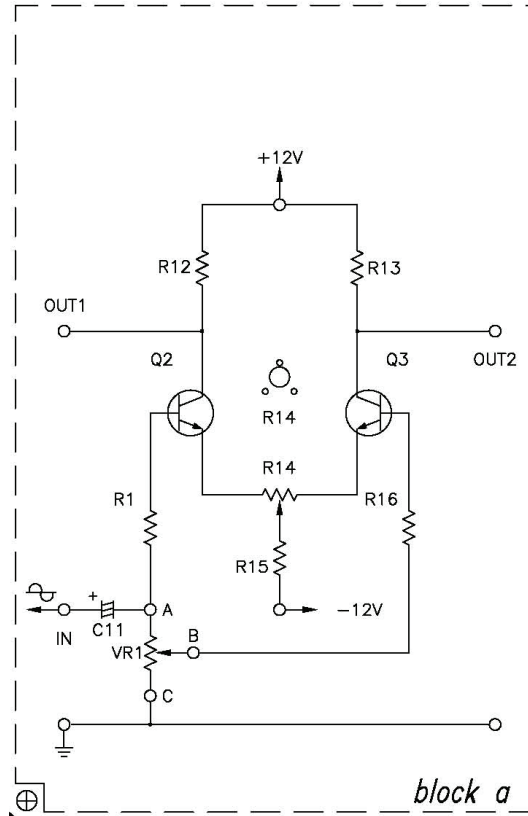
5 Deneyin Yapılışı

5.1 Fark Yükselteci

1. KL-25006 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunun konumunu belirleyin. Şekil 4-20'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR1'i devreye bağlayın. KL-22001 Düzeneğindeki +12 VDC ve -12 VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. KL-22001 Düzeneğinin üzerindeki Fonksiyon Üretecini kullanarak, IN ucuna 1 kHz'lik bir sinüzoidal işaret uygulayın.
3. B ve C noktaları arasındaki direnç maksimum ve $V_{IN1} = V_{IN2}$ olacak şekilde VR1'i ayarlayın.
4. Osiloskop girişini (AC bağlantıda) OUT1 ucuna bağlayın. Osiloskop ekranında maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, Fonksiyon Üretecinin genlik kontrol düğmesini yavaşça ayarlayın. IN1, IN2, OUT1 ve OUT2 uçlarındaki dalga şekillerini ölçün ve Tablo 4-1'e kaydedin.
5. B ve C noktaları arasındaki direnç minimum (0Ω) ve $V_{IN2} = 0$ V olacak şekilde VR1'i ayarlayın.
6. 4. adımı tekrarlayın.
7. B ve C noktaları arasındaki direnç 500Ω ve $V_{IN2} = V_{IN1}/2$ olacak şekilde VR1'i ayarlayın.
8. 4. adımı tekrarlayın.

Tablo 4-1. Fark yükselteci giriş ve çıkış dalga şekilleri.

	$V_{IN1} = V_{IN2}$	$V_{IN2} = 0$ V	$V_{IN2} = V_{IN1}/2$
V_{IN1}			
V_{IN2}			
V_{OUT1}			
V_{OUT2}			



Şekil 4-20. Bağlantı diyagramı (KL-25006 blok a).

Sonuçlar

Fark yükselteci, temel bir işlemsel yükselteç konfigürasyonudur ve aşağıdaki özelliklere sahiptir:

1. Yüksek diferansiyel mod kazancı A_d
2. Düşük ortak mod kazancı A_c
3. Yüksek ortak mod bastırma oranı CMRR
4. Esnek giriş/çıkış konfigürasyonları:
 - (1) Tek giriş, dengesiz çıkış
 - (2) Tek giriş, dengeli çıkış
 - (3) Çift giriş, dengesiz çıkış
 - (4) Çift giriş, dengeli çıkış

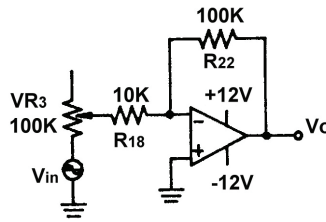
5.2 Giriş Empedansının (Z_i) Ölçülmesi

1. KL-25006 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneklerinin üzerine koyun ve b bloğunu belirleyin. Şekil 4-21'deki devre ve Şekil 4-22'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın. KL-22001 Düzenekindeki +12 VDC ve -12 VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. KL-22001 Düzenekindeki Fonksiyon Üreticini kullanarak, IN1 (TP1) ucuna 1 kHz'lik sinüzoidal işaret uygulayın ve çıkış genliğini minimuma ayarlayın.
3. VR3'ü (100 kΩ) minimuma ayarlayın (B ve C uçları arası kısa devre). OUT (TP5) ucuna osiloskobun girişini

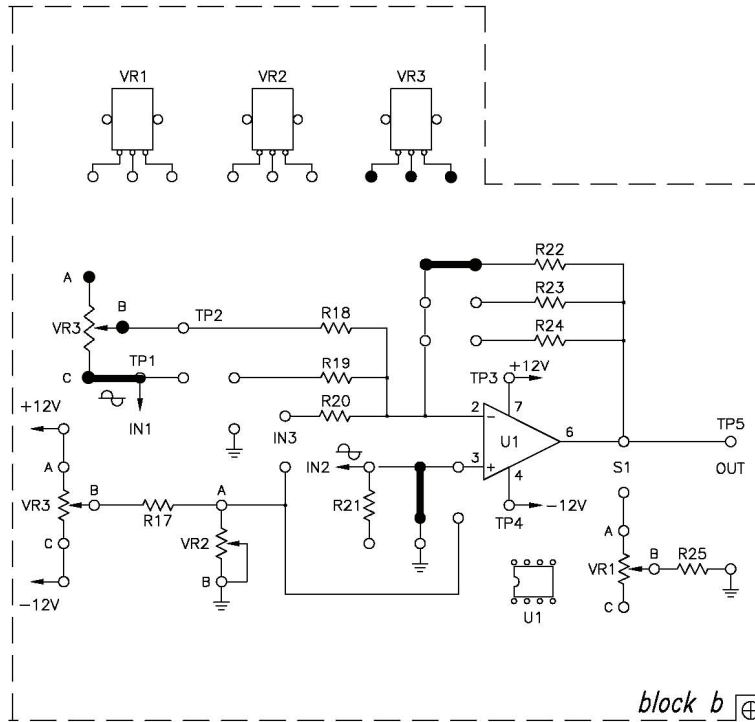
bağlayın.

4. OUT (TP5) ucundan maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, giriş genliğini yavaşça artırın.
5. IN1 (TP1) giriş ucundaki dalga şeklini ölçün ve kaydedin.
6. VR3'ü, OUT (TP5) ucundaki çıkış sinyali, 4. adımdaki dalga şeklinin yarısı olana kadar ayarlayın.
7. Güç kaynağını kapatın. VR3'ün bağlantı kablolarını çıkartın.
8. Multimetre kullanarak (Ω konumunda), VR3'ün B ve C uçları arasındaki direnç değerini ölçün ve kaydedin. Ölçülen değer, işlemsel yükseltecin Z_i direnç değeridir.

$Z_i =$ _____



Şekil 4-21. Z_i ölçüm devresi.



Şekil 4-22. Bağlantı diyagramı (KL-25006 blok b).

5.3 Çıkış Empedansının (Z_o) Ölçülmesi

1. Şekil 4-23'teki devre ve Şekil 4-24'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR1'i devreye bağlayın. KL-22001 Düzeneğindeki +12 VDC ve -12 VDC sabit güç

kaynaklarını, KL-25006 modülüne bağlayın.

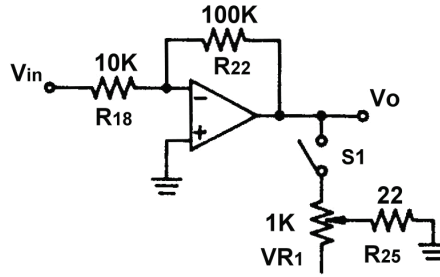
- KL-22001 Düzenegindeki Fonksiyon Üreticini kullanarak, IN1 (TP1) ucuna 1 kHz'lik sinüzoidal işaret uygulayın.
- OUT (TP5) ucundan maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, Fonksiyon Üreticinin genliğini ayarlayın.
- Çıkış geriliminin tepeden tepeye değerini kaydedin.

$$V_{OUT} = \text{_____} V_{P-P}$$

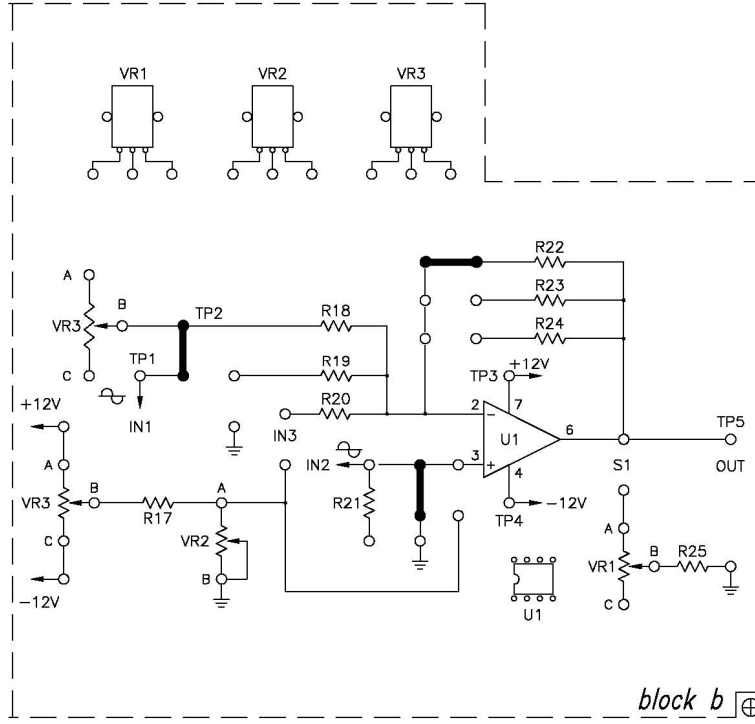
- S1 konumuna bir klips yerleştirin ve V_{OUT} dalga şeklindeki değişimi gözlemleyin.
- VR1'i (1 kΩ), V_{OUT} , 4. adımdakinin yarısı olana kadar ayarlayın.
- Güç kaynağını kapatın.
- Multimetre kullanarak (Ω konumunda), OUT (TP5) ucunun toprağa göre direncini ölçün. Bu değer işlemsel yükseltecin çıkış empedansıdır. Ölçülen Z_o değerini Tablo 4-2'ye kaydedin.
- Güç kaynağını açın. Tablo 4-2'de verilen diğer giriş frekansları için 3. adımdan 8. adıma kadar olan işlemleri tekrarlayın. Çıkış empedansının, giriş frekansı ile değişip değişmediğini kontrol edin.

Tablo 4-2. Farklı giriş frekanslarında çıkış empedansı.

Giriş Frekansı	Z_o
1 kHz	
100 Hz	
10 kHz	
50 kHz	



Şekil 4-23. Z_o ölçümü için devre.



Şekil 4-24. Bağlantı diyagramı (KL-25006 blok b).

6 Deney Sonu Soruları

1. Tablo 4-1'deki $V_{IN1} = V_{IN2}$ sütununda V_{OUT1} ve V_{OUT2} dalga şekillerini yorumlayınız. Fark yükselteci ortak mod işaretine nasıl davranır?
2. $V_{IN2} = 0$ V iken V_{OUT1} ve V_{OUT2} işaretlerinin genlikleri ve fazları arasındaki ilişki nedir? Ölçümlerinizi Şekil 4-5'teki dalga şekilleriyle karşılaştırınız.
3. $V_{IN2} = V_{IN1}/2$ iken fark işareti V_d ve çıkış işaretleri, $V_{IN1} = V_{IN2}$ ve $V_{IN2} = 0$ V durumlarına göre nasıl değişmiştir? Açıklayınız.
4. Ölçtüğünüz Z_i ve Z_o değerlerini ideal işlemsel yükselteç değerleriyle karşılaştırınız. Tablo 4-2'deki Z_o değeri giriş frekansı ile değişti mi? Değişimin nedenini yorumlayınız.