



Deney 2: FET'li Yükselteçler

1 Amaç

1. Ortak kaynaklı JFET yükseltecin öngerilim düzenlemesini anlamak.
2. Ortak kaynaklı JFET yükseltecin statik ve dinamik karakteristiklerini ölçmek.
3. Ortak akaçlı JFET yükseltecin öngerilim düzenlemesini anlamak.
4. Ortak akaçlı JFET yükseltecin statik ve dinamik karakteristiklerini ölçmek.

2 Ön Hazırlık Soruları

1. Şekil 2-3'teki gerilim bölücülü öngerilimli JFET devresi için ($V_{DD} = 16 \text{ V}$, $R_{G1} = 4.5 \text{ M}\Omega$, $R_{G2} = 500 \text{ k}\Omega$, $R_D = 3.9 \text{ k}\Omega$, $R_S = 1.6 \text{ k}\Omega$, $I_{DSS} = 6 \text{ mA}$, $V_P = -3 \text{ V}$) V_G , I_{DQ} , V_{GSQ} ve V_{DSQ} değerlerini hesaplayınız.
2. Şekil 2-2'deki kendinden öngerilimli JFET devresi için DC yük doğrusunun A ve B noktalarını bulunuz. Kendinden öngerilimde V_{GS} 'nin neden negatif olduğunu açıklayınız.
3. Ortak kaynaklı yükselteçte kaynak köprüleme kondansatörü bağlıyken $g_m = 2 \text{ mS}$ ve $r_d = 50 \text{ k}\Omega$ için $R_D = 3.3 \text{ k}\Omega$ ve $R_D = 6.8 \text{ k}\Omega$ değerlerinde gerilim kazancı A_v 'yi hesaplayınız.
4. Ortak kaynaklı yükselteçte kaynak köprüleme kondansatörü devreden çıkarılırsa gerilim kazancı nasıl değişir? Nedenini açıklayınız.
5. Ortak akaçlı yükseltecin giriş ve çıkış sinyalleri arasındaki faz ilişkisi nedir? $\mu = 100$ için gerilim kazancını hesaplayınız ve bu yükseltecin hangi amaçla kullanılabileceğini yorumlayınız.

3 Temel Kavramlar

3.1 FET Parametreleri

FET'in en önemli üç parametresi aşağıda tanımlanmıştır:

g_m (geçiş iletkenliği):

$$g_m = \left. \frac{\delta i_d}{\delta V_{gs}} \right|_{V_{ds}=\text{sabit}} \cong \left. \frac{i_d}{V_{gs}} \right|_{V_{ds}=0} = \left. \frac{i_d}{V_{gs}} \right|_{V_{ds}=K} \quad (2-1)$$

r_d (akaç direnci):

$$r_d = \left. \frac{\delta V_{ds}}{\delta i_d} \right|_{V_{gs}=\text{sabit}} \cong \left. \frac{V_{gs}}{i_d} \right|_{V_{gs}=0} = \left. \frac{V_{gs}}{i_d} \right|_{V_{gs}=K} \quad (2-2)$$

μ (yükseltme faktörü):

$$\mu = \left. \frac{-\delta V_{ds}}{\delta V_{gs}} \right|_{i_d=\text{sabit}} \cong \left. \frac{-V_{ds}}{V_{gs}} \right|_{i_d=0} = \left. \frac{-V_{ds}}{V_{gs}} \right|_{i_d=K} \quad (2-3)$$

Yukarıdaki formüllerde kullanılan:

- i_d : akış akımı (AC küçük işaret)
- V_{gs} : G ile S arasına uygulanan AC gerilim (küçük işaret)
- V_{ds} : D ile S arasında üretilen AC gerilim

3.2 JFET için Öngerilim Düzenlemeleri

Sabit öngerilim düzenlemesi

JFET için sabit öngerilim düzenlemesi Şekil 2-1'de gösterilmiştir.

(1) Şekil 2-1'de (a) ile gösterilen devre, sabit öngerilimli p-kanallı FET devresidir. Burada V_{DD} , V_{DS} ve I_D 'yi meydana getirirken V_{GG} ise V_{GS} 'yi oluşturur. (b) ile gösterilen eğri akış karakteristik eğrisini ve çalışma noktasını gösterir. Çıkış devresinin çevre gerilimleri denklemi $V_{DD} = I_D \times R_D + V_{DS}$ ile DC yük doğrusu çizilebilir ve çalışma noktasının konumu belirlenebilir.

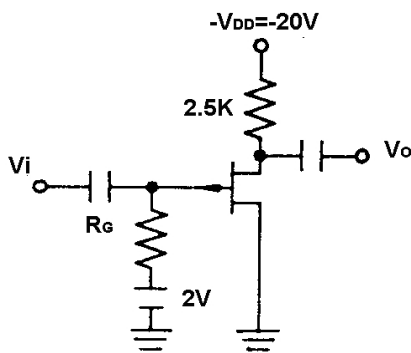
(2) $I_D = 0$ iken $V_{DD} = V_{DS}$ (A noktası).

(3) $V_{DS} = 0$ iken $I_D = V_{DD} / R_D = 20 \text{ V} / 2.5 \text{ k}\Omega = 8 \text{ mA}$ (B noktası). A ve B noktaları arasına çizilecek doğru, DC yük doğrusudur.

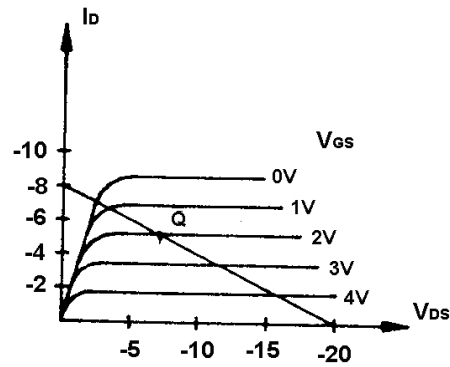
(4) $I_G \approx 0$ olduğu için (R_i çok büyük) $V_{RG} \approx 0 \text{ V}$ ve $V_{GS} = V_G - V_S = V_{GG} = 2 \text{ V}$ olur. Çalışma noktası, DC yük doğrusu ile $V_{GS} = 2 \text{ V}$ 'a karşılık gelen eğrinin kesişim noktası Q bulunarak belirlenebilir. Q noktası (V_{DSQ} , I_{DQ}) aynı zamanda aşağıdaki iki denklem kullanılarak da hesaplanabilir:

$$V_{DSQ} = V_{DD} - I_{DQ}R_D \quad (2-4)$$

$$I_{DQ} = I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P} \right)^2 \quad (2-5)$$



(a) Öngerilim devresi



(b) Çıkış karakteristiği

Şekil 2-1. Sabit öngerilimli p-kanallı JFET devresi.

Kendinden öngerilimli düzenleme

JFET için kendinden öngerilimli düzenleme Şekil 2-2'de gösterilmiştir.

(1) Akaca uygulanan tek bir V_{DD} gerilim kaynağı mevcuttur ve uygun bir çalışma noktası elde etmek için kapı-kaynak arasında kendinden öngerilim oluşturulabilir.

(2) R_i çok büyük olduğu için $I_G \approx 0$ ve $V_{RG} = 0 = V_G$ olur. $V_S = I_S \times R_S \approx I_D \times R_S$ olduğundan $V_{GS} = V_G - V_S = 0 - V_S = -I_D \times R_S$ bulunur.

(3) Yük doğrusunun çizilmesi:

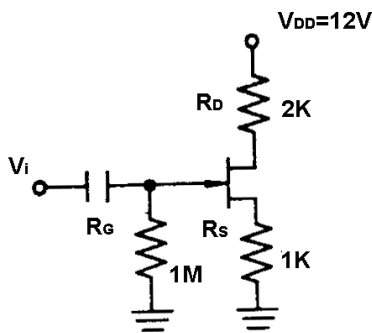
a. Çıkış devresinin çevre gerilimleri denkleminde $V_{DD} = I_D R_D + V_{DS} + I_D R_S$ yazılır.

b. $I_D = 0$ iken $V_{DS} = V_{DD} = 12 \text{ V}$ (A noktası).

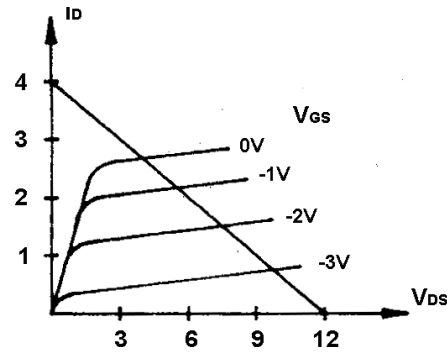
c. $V_{DS} = 0$ iken $I_D = V_{DD} / (R_D + R_S) = 12 \text{ V} / 3 \text{ k}\Omega = 4 \text{ mA}$ (B noktası).

d. A ve B noktaları arasına çizilecek doğru, DC yük doğrusudur.

Çalışma noktası, V_{GS} eğrisi ile bu yük doğrusunun kesişimidir.



(a) Öngerilim devresi



(b) Çıkış karakteristiği

Şekil 2-2. Kendinden öngerilimli JFET devresi.

Gerilim bölücülü öngerilim düzenlemesi

Şekil 2-3'te JFET için gerilim bölücülü öngerilim devresi gösterilmiştir. Bu devrede, V_G 'nin artık sıfır olarak ayarlanmaması dışında, V_{GS} ve I_D çözümleri kendinden öngerilimli devreninkilerle aynıdır:

$$V_G = V_{DD} \frac{R_2}{R_1 + R_2} \quad (2-6)$$

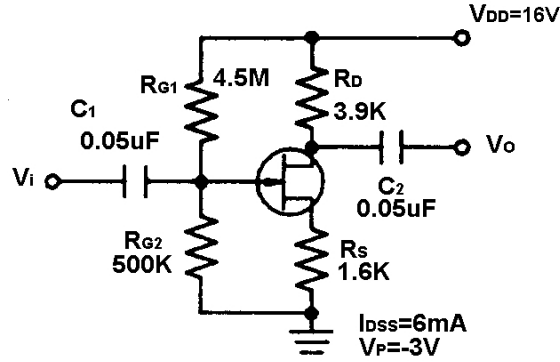
$$V_{GS} = V_G - I_D \times R_S \quad (2-7)$$

$$I_{DQ} = I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P} \right)^2$$

3.3 JFET CS Yükselteç

FET küçük sinyal analizi ve FET'li yükselteç uygulaması üç ayrı konfigürasyonla gerçekleştirilebilir:

1. Ortak kaynak (CS)
2. Ortak akış (CD)
3. Ortak kapı (CG)



Şekil 2-3. JFET için gerilim bölücülü öngerilim devresi.

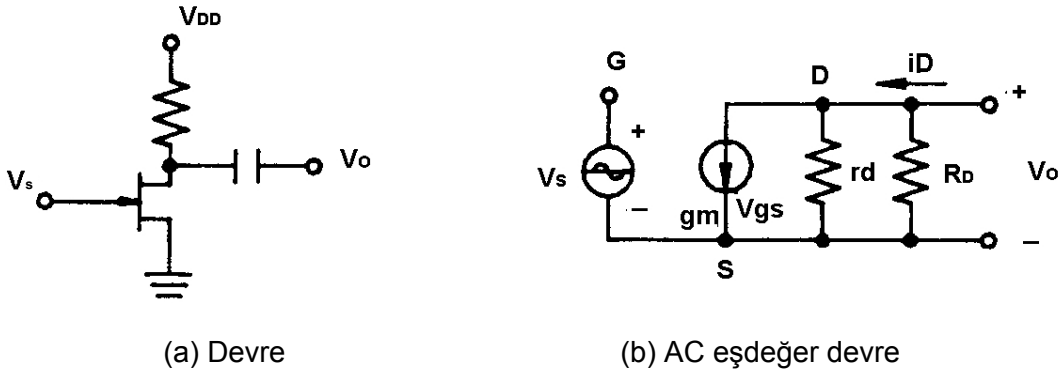
Şekil 2-4, ortak kaynak (CS) yükselteç devresini göstermektedir. Gerilim kazancı:

$$A_v = \frac{V_o}{V_s} = \frac{-\mu R_D}{r_d + R_D} = -g_m R'_d, \quad R'_d = r_d \parallel R_D \quad (2-8)$$

Çıkış empedansı:

$$Z_o = r_d + (1 + \mu)R_S, \quad Z'_o = R_D \parallel Z_o, \quad \mu = g_m \times r_d \quad (2-9)$$

Çıkış fazı 180° ters çevrilmiştir.



(a) Devre

(b) AC eşdeğer devre

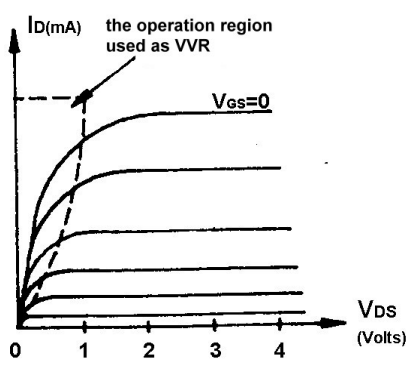
Şekil 2-4. JFET CS yükselteç.

3.4 FET'in Gerilim Kontrollü (Değişken) Direnç Olarak Kullanılması (VVR veya VCR)

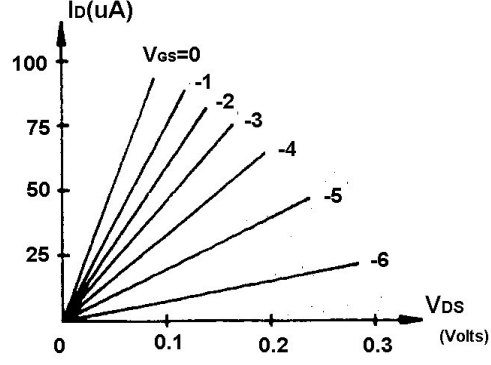
Şekil 2-5'te (a) ile gösterilen akaç karakteristik eğrisinden şu sonuçlar elde edilebilir: FET, V_{DS} 'nin çok küçük ancak yine de kısmının ötesinde olduğu omik bölgede çalışırken akaç akımı, V_{DS} akaç-kaynak gerilimiyle doğru orantılıdır. Diğer bir ifadeyle akaç-kaynak arasındaki kanalın direnci V_{GS} tarafından kontrol edilir ve FET, direnci kontrol etmek için gerilimin kullanıldığı gerilim-ayarlı direnç (VVR) gibi davranır.

Şekil 2-5'te (b) ile gösterilen eğri, FET'in gerilim kontrollü direnç olarak çalışması için uygun olan düşük seviye bölgesindeki yükseltme parçasını göstermektedir. Her bir eğrinin eğimi R_{ds} 'yi temsil ettiği için R_{ds} 'nin V_{GS} kontrol geriliminin bir fonksiyonu olup olmadığı anlaşılabilir. Örneğin $V_{GS} = 0$ için eğim çok fazla ve direnç minimumken $V_{GS} = -6$ V için eğim çok düşük ve direnç maksimumdur. (b) ile gösterilen FET direncinin kontrol

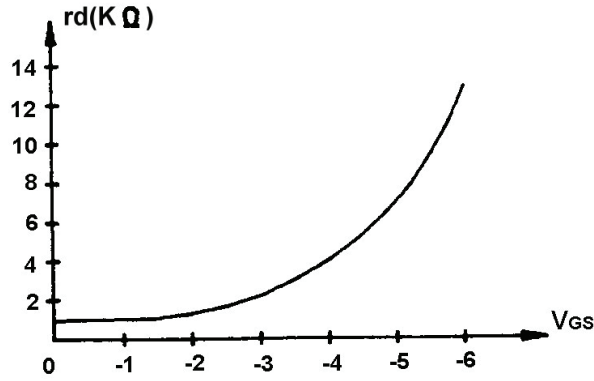
gerilimine bağlı değişimi, (c) ile gösterilen eğri ile de gösterilebilir. Burada r_d 'nin $|V_{GS}|$ ile birlikte arttığı, ancak bu artışın doğrusal olmadığı açıkça görülmektedir.



(a) Omik bölge



(b) Omik bölgede I_D - V_{DS} eğrisi



(c) r_d - V_{GS} eğrisi

Şekil 2-5. VVR olarak kullanılan FET'in çalışma durumu.

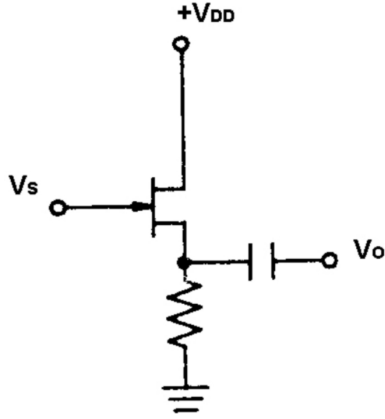
3.5 JFET CD Yükselteç

JFET'li ortak akaç yükselteç devresi Şekil 2-6'da gösterilmiştir. Bu yükseltecin özellikleri ortak kollektörlü transistörlü yükselteç ile benzerdir. Ortak akaçlı yükseltecin AC karakteristikleri:

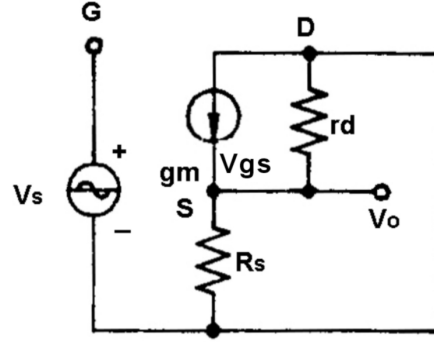
$$A_v = \frac{V_o}{V_s} = \frac{\mu}{1 + \mu} \cong 1 \quad (2-10)$$

$$Z_o = \frac{R_d + r_d}{1 + \mu}, \quad Z'_o = Z_o \parallel R_s \quad (2-11)$$

Gerilim kazancı 1'den biraz küçüktür. Z_o çok küçüktür. Çıkış sinyalinin fazı giriş sinyaliyle aynıdır. Z_i çok büyüktür ($Z_i = \infty$).



(a) Devre



(b) AC eşdeğer devre

Şekil 2-6. Ortak akaçlı JFET yükselteç.

4 Gerekli Ekipmanlar

- KL-22001 Temel Elektrik Devreleri Laboratuvarı
- KL-25005 FET Devre Deney Modülü
- Multimetre
- Osiloskop

5 Deneyin Yapılışı

5.1 Ortak Kaynaklı (CS) Yükselteç: Kendinden Öngerilimli

1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzenekinin üzerine koyun ve c bloğunun konumunu belirleyin.
2. Şekil 2-7'deki devre ve Şekil 2-8'deki bağlantı diyagramı (# işaretli klips hariç) yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenekindeki sabit 12 V DC güç kaynağını KL-25005 modülüne bağlayın. R_D , R12 (3.3 k Ω)'dir.
3. DC voltmetre kullanarak V_{DS} , V_{GS} ve V_D 'yi ölçün ve Tablo 2-1'ye kaydedin.
4. KL-22001 Düzenekinin üzerindeki fonksiyon üreticini kullanarak IN (TP1) ucuna 1 kHz'lik bir sinüzoidal işaret uygulayın. OUT1 (TP5) çıkış ucuna osiloskop bağlayın.
5. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT1 ucundaki çıkış dalga şeklini ölçün ve Tablo 2-1'ye kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_v 'yi hesaplayın.
6. R12 (3.3 k Ω) ile akaç arasındaki klipsi çıkartın. R_D değerini R12'den R16 (6.8 k Ω)'ya değiştirmek için # işaretli klipsi devreye yerleştirin. 3. adımdan 5. adıma kadar olan işlemleri tekrarlayın ve sonuçları Tablo 2-2'ye kaydedin.
7. Yeniden $R_D = R12$ (3.3 k Ω) yapın ve C3 (22 μ F)'ü devre dışı bırakın (Şekil 2-8'de TP4 ile C3 arasındaki klips). 3. adımdan 5. adıma kadar olan işlemleri tekrarlayın ve sonuçları Tablo 2-3'e kaydedin.

**Tablo 2-1.** Kendinden öngerilimli CS yükselteç ölçümleri (R12 = 3.3 kΩ).

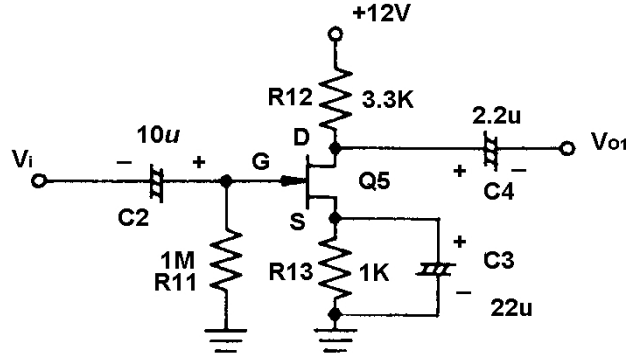
R12	V _{DS}	V _{GS}	V _D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Giriş/çıkış arasındaki faz farkı
3.3 kΩ					
GİRİŞ					
ÇIKIŞ					

Tablo 2-2. Kendinden öngerilimli CS yükselteç ölçümleri (R16 = 6.8 kΩ).

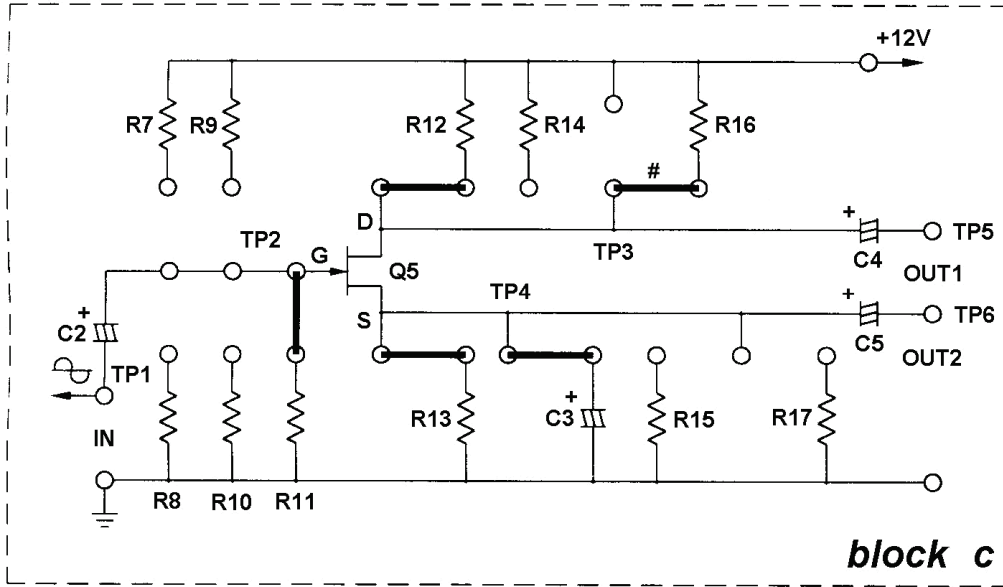
R16	V _{DS}	V _{GS}	V _D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Giriş/çıkış arasındaki faz farkı
6.8 kΩ					
GİRİŞ					
ÇIKIŞ					

Tablo 2-3. Kendinden öngerilimli CS yükselteç ölçümleri (C3 bağlı değil).

C3	V_{DS}	V_{GS}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Giriş/çıkış arasındaki faz farkı
Bağlı değil					
GİRİŞ					
ÇIKIŞ					



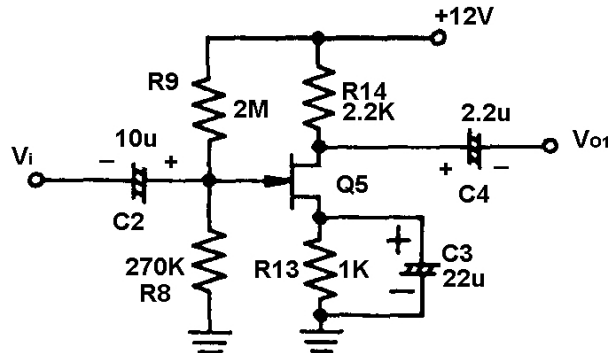
Şekil 2-7. Kendinden öngerilimli ortak kaynaklı yükselteç.



Şekil 2-8. Bağlantı diyagramı (KL-25005 blok c).

5.2 Ortak Kaynaklı (CS) Yükselteç: Gerilim Bölücülü Öngerilimli

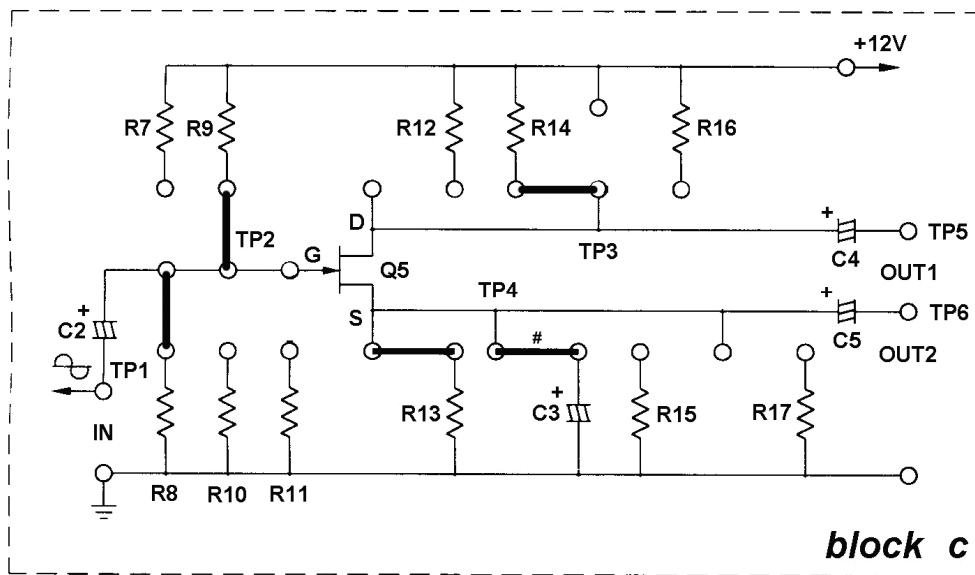
1. Şekil 2-9'deki devre ve Şekil 2-10'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenegindeki sabit 12 V DC güç kaynağını KL-25005 modülüne bağlayın.
2. DC voltmetre kullanarak V_{DS} ve V_{GS} 'yi ölçün ve Tablo 2-4'e kaydedin.
3. KL-22001 Düzeneginin üzerindeki fonksiyon üreticini kullanarak IN (TP1) ucuna 1 kHz'lik bir sinüzoidal işaret uygulayın. OUT1 (TP5) çıkış ucuna osiloskop bağlayın.
4. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT1 ucundaki çıkış dalga şeklini ölçün ve Tablo 2-4'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_v 'yi hesaplayın.
5. # işaretli klipsi çıkartarak C3'ü devre dışı bırakın ve 2. adımdan 4. adıma kadar olan işlemleri tekrarlayın.



Şekil 2-9. Gerilim bölücü öngerilimli ortak kaynaklı yükselteç.

Tablo 2-4. Gerilim bölücülü öngerilimli CS yükselteç ölçümleri.

	V_{DS}	V_{GS}	C3	V_{DS}	V_{GS}	C3
			22 μ F			Bağlı değil
GİRİŞ						
ÇIKIŞ						
$A_v = \frac{V_{opp}}{V_{ipp}}$						
Giriş/çıkış arasındaki faz farkı						



Şekil 2-10. Bağlantı diyagramı (KL-25005 blok c).



Ortak Kaynaklı Yükselteç Sonuçları

Bu deneyde ortak kaynaklı JFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak emetörlü transistörlü yükselteçte olduğu gibi, giriş ve çıkış sinyalleri arasında 180° faz farkı vardır.

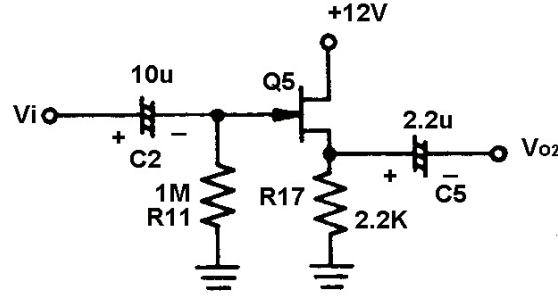
Gerilim kazancı, R_D 'nin büyüklüğüne bağlıdır. R_D değeri büyüdükçe gerilim kazancı da artmaktadır ($|A_v| = g_m R_d'$, $R_d' = r_d // R_D$). Bunun yanında kaynak köprüleme kondansatörü de gerilim kazancını etkilemektedir. Köprüleme kondansatörü devre dışı bırakılırsa negatif geri besleme ortaya çıktığı için ortak kaynaklı yükseltecin gerilim kazancı azalır.

5.3 Ortak Akaçlı (CD) Yükselteç: Kendinden Öngerilimli

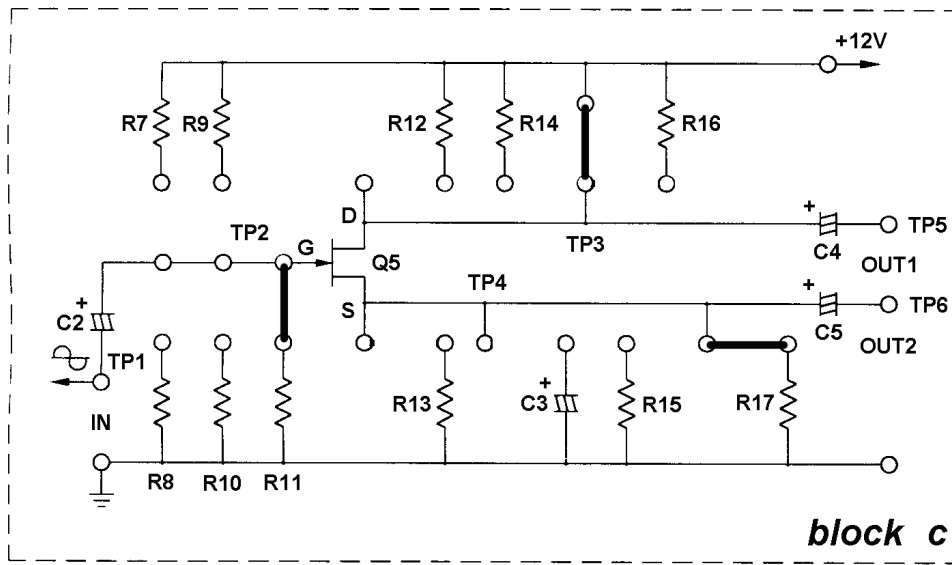
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve c bloğunun konumunu belirleyin. Şekil 2-11'deki devre ve Şekil 2-12'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki sabit 12 V DC güç kaynağını KL-25005 modülüne bağlayın.
2. DC voltmetre kullanarak V_G , V_S ve V_{GS} 'yi ölçün: $V_G = \dots\dots\dots$, $V_S = \dots\dots\dots$, $V_{GS} = \dots\dots\dots$
3. KL-22001 Düzeneğinin üzerindeki fonksiyon üreticini kullanarak IN (TP1) ucuna 1 kHz'lik bir sinüzoidal işaret uygulayın. OUT2 (TP6) çıkış ucuna osiloskop bağlayın.
4. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT2 ucundaki çıkış dalga şeklini ölçün ve Tablo 2-5'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_v 'yi hesaplayın.

Tablo 2-5. Kendinden öngerilimli CD yükselteç ölçümleri.

GİRİŞ	
ÇIKIŞ	
$A_v = \frac{V_{opp}}{V_{ipp}}$	
Giriş/çıkış arasındaki faz farkı	



Şekil 2-11. Kendinden öngerilimli ortak akaçlı yükselteç.



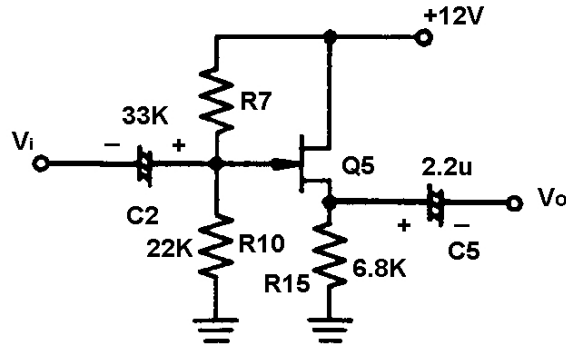
Şekil 2-12. Bağlantı diyagramı (KL-25005 blok c).

5.4 Ortak Akaçlı (CD) Yükselteç: Gerilim Bölücülü Öngerilimli

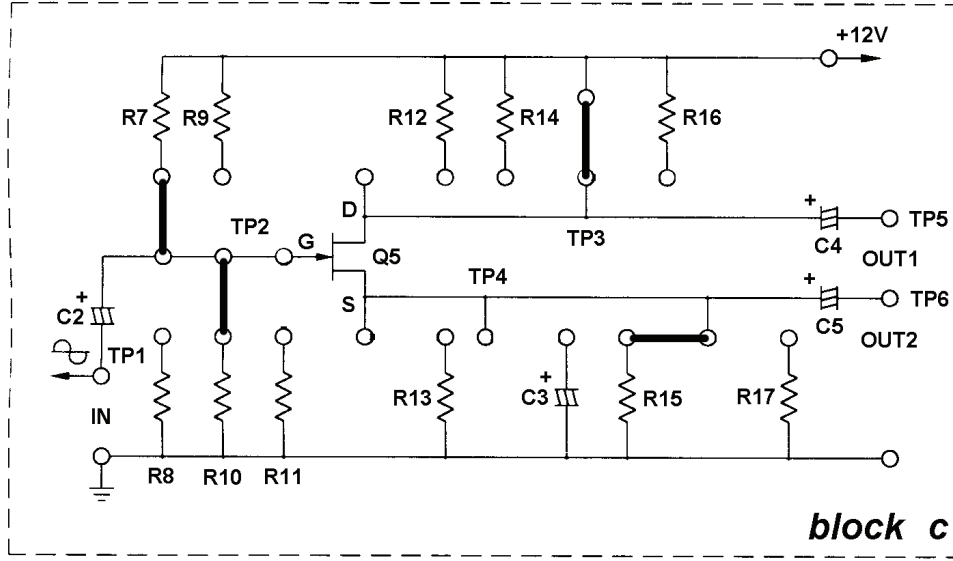
1. Şekil 2-13'teki devre ve Şekil 2-14'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenegindeki sabit 12 V DC güç kaynağını KL-25005 modülüne bağlayın.
2. DC voltmetre kullanarak V_G , V_S ve V_{GS} 'yi ölçün: $V_G = \dots\dots\dots$, $V_S = \dots\dots\dots$, $V_{GS} = \dots\dots\dots$
3. KL-22001 Düzeneginin üzerindeki fonksiyon üreticini kullanarak IN (TP1) ucuna 1 kHz'lik bir sinüzoidal işaret uygulayın. OUT2 (TP6) çıkış ucuna osiloskop bağlayın.
4. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT2 ucundaki çıkış dalga şeklini ölçün ve Tablo 2-6'ya kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_v 'yi hesaplayın.

Tablo 2-6. Gerilim bölücülü öngerilimli CD yükselteç ölçümleri.

GİRİŞ	
ÇIKIŞ	
$A_v = \frac{V_{opp}}{V_{ipp}}$	
Giriş/çıkış arasındaki faz farkı	



Şekil 2-13. Gerilim bölücülü öngerilimli ortak akaçlı yükselteç.



Şekil 2-14. Bağlantı diyagramı (KL-25005 blok c).

Ortak Akaçlı Yükselteç Sonuçları

Bu deneyde ortak akaçlı JFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak kollektörlü yükselteçte olduğu gibi, giriş ve çıkış sinyalleri arasında faz farkı yoktur (0°). Ortak akaçlı JFET yükseltecin gerilim kazancı 1'den biraz küçüktür.

6 Deney Sonu Soruları

1. Ölçtüğünüz gerilim kazançlarını $R_D = 3.3 \text{ k}\Omega$ ve $R_D = 6.8 \text{ k}\Omega$ için karşılaştırınız. Sonuç, $A_v = -g_m R_d'$ bağıntısıyla uyumlu mu?
2. Ortak kaynaklı yükselteçte C3 devre dışı bırakıldığında V_{DS} , V_{GS} ve gerilim kazancı nasıl değişti? Değişimin nedenini açıklayınız.
3. Ortak kaynaklı ve ortak akaçlı yükselteçlerin faz ilişkilerini ve gerilim kazançlarını karşılaştırınız.
4. Kendinden öngerilimli ve gerilim bölücülü öngerilimli devrelerde ölçtüğünüz V_{GS} değerlerinin işaretlerini ve çalışma noktalarını karşılaştırınız.