

# Bölüm 19 PSK/QPSK Sistemi

## 19.1 AMAÇ

1. PSK/QPSK modülasyonu prensiplerinin incelenmesi.
2. PSK/QPSK demodülasyonu prensiplerinin incelenmesi.
3. PSK/QPSK modülatörünün gerçekleştirilmesi.
4. PSK/QPSK demodülatörünün gerçekleştirilmesi

## 19.2 TEMEL KAVRAMLARIN İNCELENMESİ

### PSK/QPSK Modülatörü

Bölüm 18'de ifade edildiği gibi, faz kaydırmalı anahtarlama(PSK) modülasyonu faz modülasyonunun(PM) özel bir durumu olarak görülebilir. Fig. 19-1'de PSK modülasyonu gösterilmektedir.

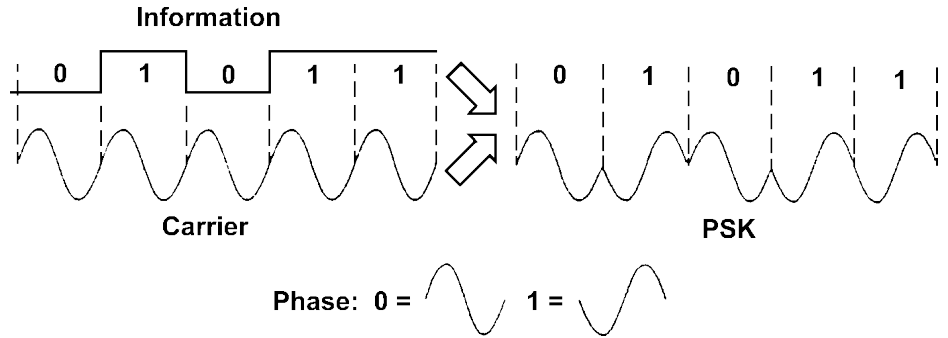


Fig. 19-1 PSK modülasyonu.

Fig. 19-1'de, taşıyıcı işaret sabit frekans ve genlikli sinüzoidal bir işarettir. Modüle edilecek işaret ise binary bir bilgidir. Eğer giriş işareti low(0) ise, taşıyıcı işaret fazını korur. Eğer giriş işareti high(1) ise, taşıyıcı işaret fazını 180 derece çevirir. Bağlı olarak aralarında sadece 180 derece faz farkı bulunan iki sinüzoidal işarete antipodal işaretler adı verilir. Bu tür faz kaydırmalı anahtarlama binary PSK(BPSK) ya da faz çevirmeli anahtarlama(phase-reverse keying - PRK) adı verilir.

BPSK modülasyon yönteminde, bilgi, gönderilen taşıyıcının fazında saklanmaktadır. Quadriphase-shift keying(QPSK) modülasyon yönteminde, taşıyıcı işaretin fazı,  $0^\circ$ ,  $90^\circ$ ,  $180^\circ$  ve  $270^\circ$  olmak üzere dört eşit aralığa bölünmüştür. Her faz, dibit adı verilen tek bir bit çiftine karşılık gelmektedir. Örnek olarak, faz değerlerini Gray kodlanmış ikili bit dizilerine eşleyelim; 00, 01, 11 ve 10. QPSK modülasyonunun tipik dalga şekli Fig. 19-2'de gösterilmektedir.

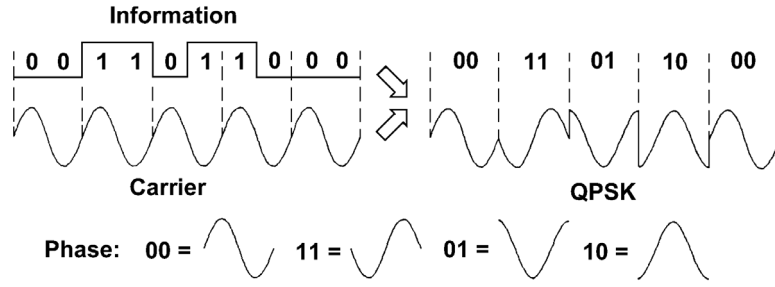


Fig. 19-2 QPSK modülasyonu

Yukarıda bahsedilen PSK ve QPSK faz setleri sadece bir seçimdir. Diğer PSK ve QPSK faz setleri Tablo 19-1'de gösterilmiştir.

Tablo 19-1 PSK ve QPSK modülasyonlarının olabilir faz değerleri.

System	Information	Phase (degrees)		
		Learned	#1	#2
PSK	0	0	180	45
	1	180	0	225
QPSK	00	0	180	45
	11	180	0	225
	01	90	270	135
	10	270	90	315

Fig. 19-3'de bir PSK/QPSK haberleşme sistemi görülmektedir. Modülatör, taşıyıcı işareti giriş bilgisine göre modüle eder ve PSK ya da QPSK modüli bir işaret üretir. Modüle edilen işaret iletim ortamından demodülatör girişine gönderilir. İletim ortamı, hava, kablo ya da fiber optik olabilir.

Demodülatör, gönderilen PSK ya da QPSK işaretini alır ve orijinal bilgiyi tekrar oluşturur.



Fig. 19-3 PSK/QPSK sisteminin blok diyagramı.

Fig. 19-4, PSK/QPSK modülörünün fonksiyonel blok diyagramını göstermektedir. Taşıyıcı işaret üretici, faz anahtarlama bloğuna bir taşıyıcı işaret(sinüzoidal işaret) sağlar. Aynı zamanda zamanlama devresine de bir kare dalga sağlar. Faz anahtarlama bloğu, data seçici girişine dört olabir çıkış sağlar( $0^\circ$ ,  $90^\circ$ ,  $180^\circ$  ve  $270^\circ$ ). Data seçicinin X çıkışı A ve B seçici girişleri ile belirlenir.

1. Eğer BA=00 ( $Q_1=Q_0=low$ ),  $X=X_0$ ,  $0^\circ$  faz kaymalı işaret
2. Eğer BA=11 ( $Q_1=Q_0=high$ ),  $X=X_3$ ,  $180^\circ$  faz kaymalı işaret
3. Eğer BA=01 ( $Q_1=low$ ,  $Q_0=high$ ),  $X=X_1$ ,  $90^\circ$  faz kaymalı işaret
4. Eğer BA=10 ( $Q_1=high$ ,  $Q_0=low$ ),  $X=X_2$ ,  $270^\circ$  faz kaymalı işaret

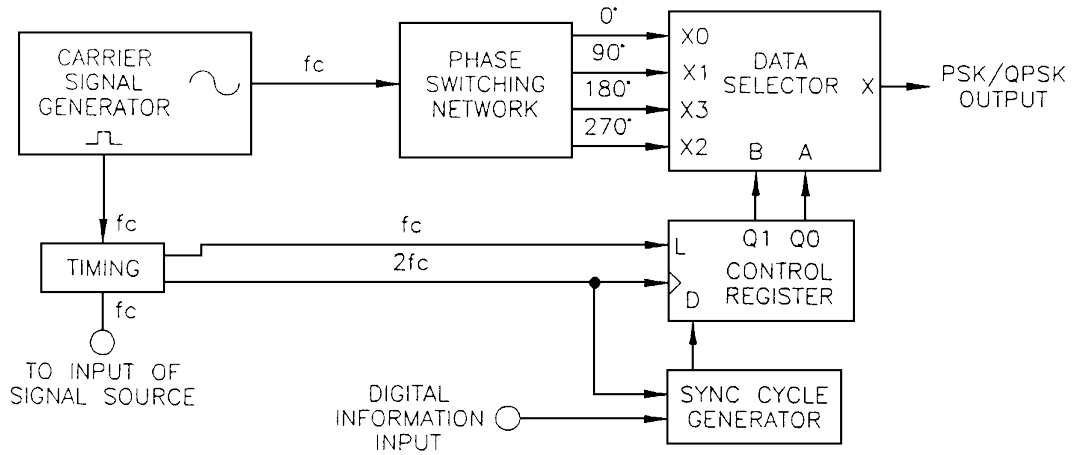


Fig. 19-4 PSK/QPSK modülörünün blok diyagramı.

Zamanlama devresi, taşıyıcı işaret üretici girişinden kare dalgayı( $f_c$ ) alır ve iki çıkış üretir: yük kontrol girişine  $f_c$  frekanslı işaret, kontrol registerının saat girişine ve sync cycle üreticisine  $2f_c$ (taşıyıcı frekansın iki katı) frekanslı işaret sağlar.

$f_c$  ve  $2f_c$  frekanslı bu işaretler ve girişteki sayısal bilginin data hızı(bits/saniye, bps) modülörün BPSK ya da QPSK modda çalışıp çalışmadığını belirlemek için kullanılır.

1. Bit rate=  $f_c$  ve sync cycle üretilmemektedir.

Bu durumda, data hızı  $f_c$  taşıyıcı işaretine eşittir. Saat frekansı ise taşıyıcı işaretin frekansının iki katına ( $2f_c$ ) eşittir. Sayısal data dizisinin bir biti, kontrol registerına iki kez yüklenir. Kontrol registerının  $Q_0$ - $Q_1$  çıkışları bu nedenle aynıdır, 00 ya da 11. Data seçicinin X çıkışı  $X_0$  ya da  $X_3$  giriş işaretidir. Bu sistem PSK modda çalışmaktadır.

2. Bit rate=2fc ve sync cycle üretilmemektedir.

Bu durumda, data hızı ve saat frekansı taşıyıcı frekansın iki katına(2fc) eşittir. Data dizisinin iki biti, her taşıyıcı periyodunda kontrol registerına yüklenir. Kontrol registerının Q0-Q1 çıkışları, 00, 01, 11, ya da 10 olabilir. Bu sistem bu nedenle QPSK modda çalışmaktadır.

3. Bit rate=fc ya da 2fc ve sync cycle üretilmektedir.

Eğer bir sync cycle gerekiyor ise, sync cycle kontrol devresi, kontrol shift registerın çıkış datasını kontrol etmek için bir kontrol işareti üretecektir. Daha sonra, sync cycle işareti modülatör çıkışında oluşacaktır. Bizim deneylerimizde Fig. 19-5'de gösterilen sync cycle formatı kullanılmaktadır. Bu sync cycle işareti, Fig. 19-1 ve 19-2'de gösterilen PSK/QPSK modülasyonlu işaretlerden farklıdır. Sync cycle işareti, PSK/QPSK demodülatöründeki sync cycle detektörü ile belirlenebilir ve bir tanımlayıcı kelime gibi görülebilir.

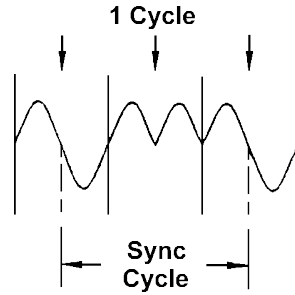


Fig. 19-5 Synchronization cycle.

### PSK/QPSK Demodülatörü

Modüle edilmiş bilgi işaretini PSK/QPSK modülasyonlu işaretten tekrar elde etmek için bir çok metot ve devre mevcuttur. Tipik PSK/QPSK demodülatör yapısında, modülatörde kullanılan saat işaretini tekrar üretmek için PLL devresi gerekmektedir.

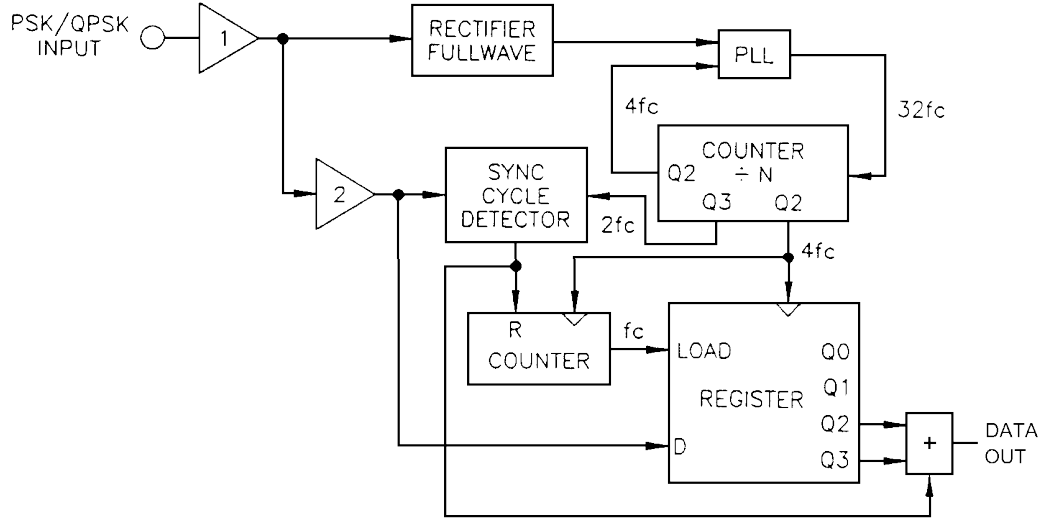


Fig. 19-6 PSK/QPSK demodülatörünün blok diyagramı.

Fig. 19-6, PSK/QPSK demodülatörünün blok diyagramını göstermektedir. PSK/QPSK giriş işareti "amplifier 1" ile kuvvetlendirilir ve daha sonra tam dalga doğrultucusu ile doğrultulur. Doğrultulan darbe, PLL yapısındaki faz detektörünün girişine bağlanır. Bu işaret, saat işaretini tekrar üretmek için kullanılır.

Fig. 19-7'de, alınan PSK/QPSK işaretinden tekrar üretilen demodülatör çıkış datası görülmektedir. Fig. 19-6'da, PLL ve N-bölücü ile üretilen farklı saat frekansları görülmektedir. Bu saat frekansları, orijinal bilgiyi tekrar elde etmek için ve sync cycle işaretini sync cycle datasına dönüştürmek için kullanılır.

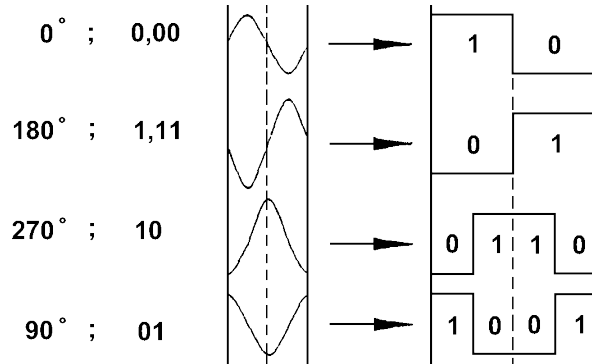


Fig. 19-7 Demodülatör çıkış datası.

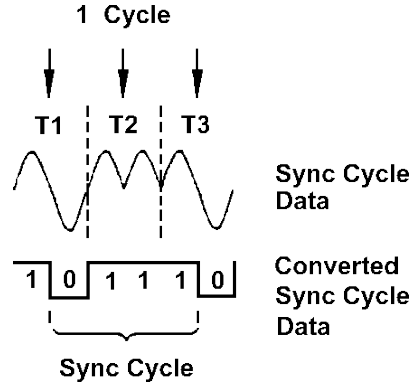


Fig. 19-8 Sync cycle dönüşümü.

Fig. 19-8'de sync cycle dönüşümü gösterilmektedir. Dönüştürülen sync cycle datası, 0111'dir. Sync cycle detektörü bu datayı aldığı zaman, bir sync cycle detekte edildiğini göstermek için low oluşturur.

### Pratik Devre Tanımlaması

#### 1. PSK/QPSK modülatörü

Fig. 19-9, PSK/QPSK modülatörünün şematik diyagramını göstermektedir. ICL8038, hassas dalga üreticidir. Taşıyıcı işaret üretici olarak görev görür. Sinüzoidal ve kare dalgalar üretir.

Taşıyıcı üreticinin frekansı, dışarıdan bağlanan zamanlama dirençleri R2-R3 ve C2 kapasitesi ile belirlenir ve yaklaşık olarak 7.1KHz'dir. 7. ve 8. pinler birbirine bağlanır ve böylelikle üreteç VCO modunda çalışır. Üretilen sinüzoidal işaret, iki evirmeyen türden kuvvetlendirici(U2a ve U2d) ve iki eviren türden kuvvetlendiriciden(U2b ve U2c) oluşan faz anahtarlama bloğunun girişlerine bağlanır. Faz anahtarlama bloğu, data seçicinin(U3) X0, X1, X2 ve X3 data girişlerine sırası ile 0, 90, 270 ve 180 derecelik faz kaymaları sağlar. Data seçicinin çıkışı, A ve B girişlerinin seçimine bağlı olarak belirlenir. Çıkış seçildiği zaman, PSK/QPSK modülasyonlu işaret, U8 evirmeyen türden kuvvetlendirici ile kuvvetlendirilir. VR5 potansiyometresi, PSK/QPSK modülasyonlu işaretin çıkış genliğini kontrol etmek için kullanılır.

U1 9. pinde mevcut olan kare dalga,  $2f_c$  frekanslı işaret üretmek için zamanlama devresinin girişine bağlanır.  $2f_c$  frekanslı işaret, bir frekans ikiye çarpıcı yapı ile üretilir. Frekans ikiye çarpıcı yapı, U4b, U4c, U5a elemanları ve R21, R22, C6, C7 çevresel elemanları ile oluşturulur.  $2f_c$  işareti, U7 shift register ve U6a 4-bit binary counter saat girişlerine bağlanır. Counter çıkışındaki işaret Q0, U4f, U4d, U7 pin1(load input) evirici girişlerine bağlanır. Bu işaretin frekansı  $f_c$  'dir. Modüle edilecek işaret(sayısal işaret), U7 kontrol shift registerın DATA girişine(pin 2)

bağlanır. Shift registerin Q0-Q1 çıkışları, TP6'daki işaret ile XOR edilmiş ve daha sonra data seçicinin A ve B seçici girişlerine bağlanmıştır.

U6a ve U6b binary sayıcılar, ne zaman bir sync cycle üretilmesi gerektiğini belirlemek için kullanılırlar. U6a binary sayıcısının saat frekansı,  $2f_c$ 'dir. U6a'nın Q1 çıkışı U6b'nin saat çıkışına bağlanır ve bu nedenle saat frekansı  $f_c/2$ 'dir. U6b Q3'ün frekansı ise  $f_c/32$ 'dir. Sync cycle, Q3 çıkış işaretinin sadece bir yarım süresinde üretilir yani  $f_c/16$  frekansında.

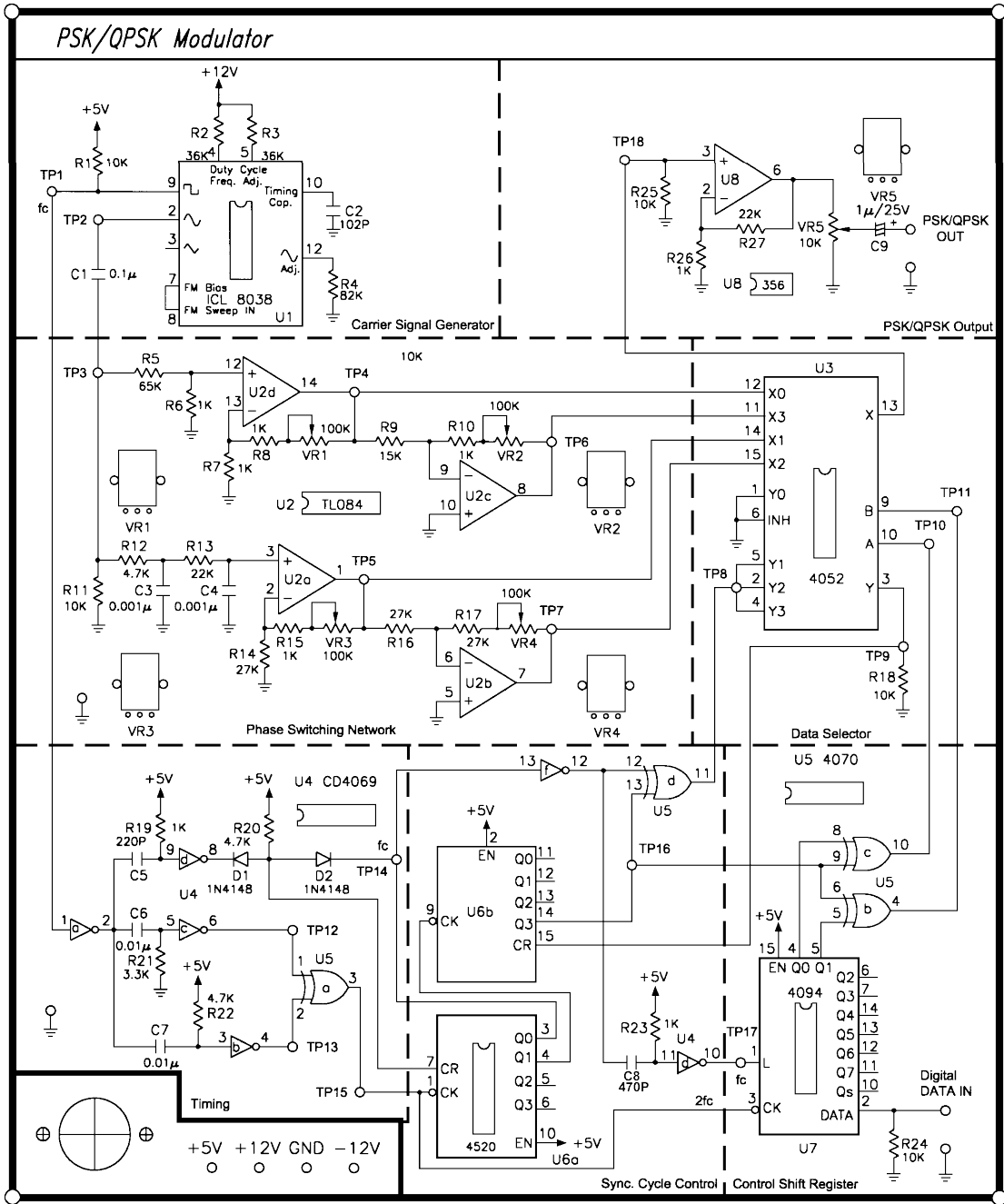


Fig. 19-9 KL-94006 modülü.

## 2. PSK/QPSK demodülatörü

Fig.19-10, PSK/QPSK demodülatörünün şematik diyagramını göstermektedir. U1d kuvvetlendiricisi, kayıpları kompanze etmek ve iletimden kaynaklanan bozulmaları iyileştirmek için PSK/QPSK modülasyonlu işareti alır ve kuvvetlendirir. U1c-U1b opamp'ları ve D1-D4 diyotlarından oluşan tam dalga doğrultucusu, alınan PSK/QPSK işaretini pozitif-cycle bir işarete çevirir. Bu işaret PLL(U2)'deki faz detektörünün girişine bağlanır. VCO çıkış işareti(32fc), N bölücüsünün saat darbesidir. Sayıcı, Q2 ve Q3 çıkışlarında sırası ile 4fc ve 2fc frekanslarını üretir.

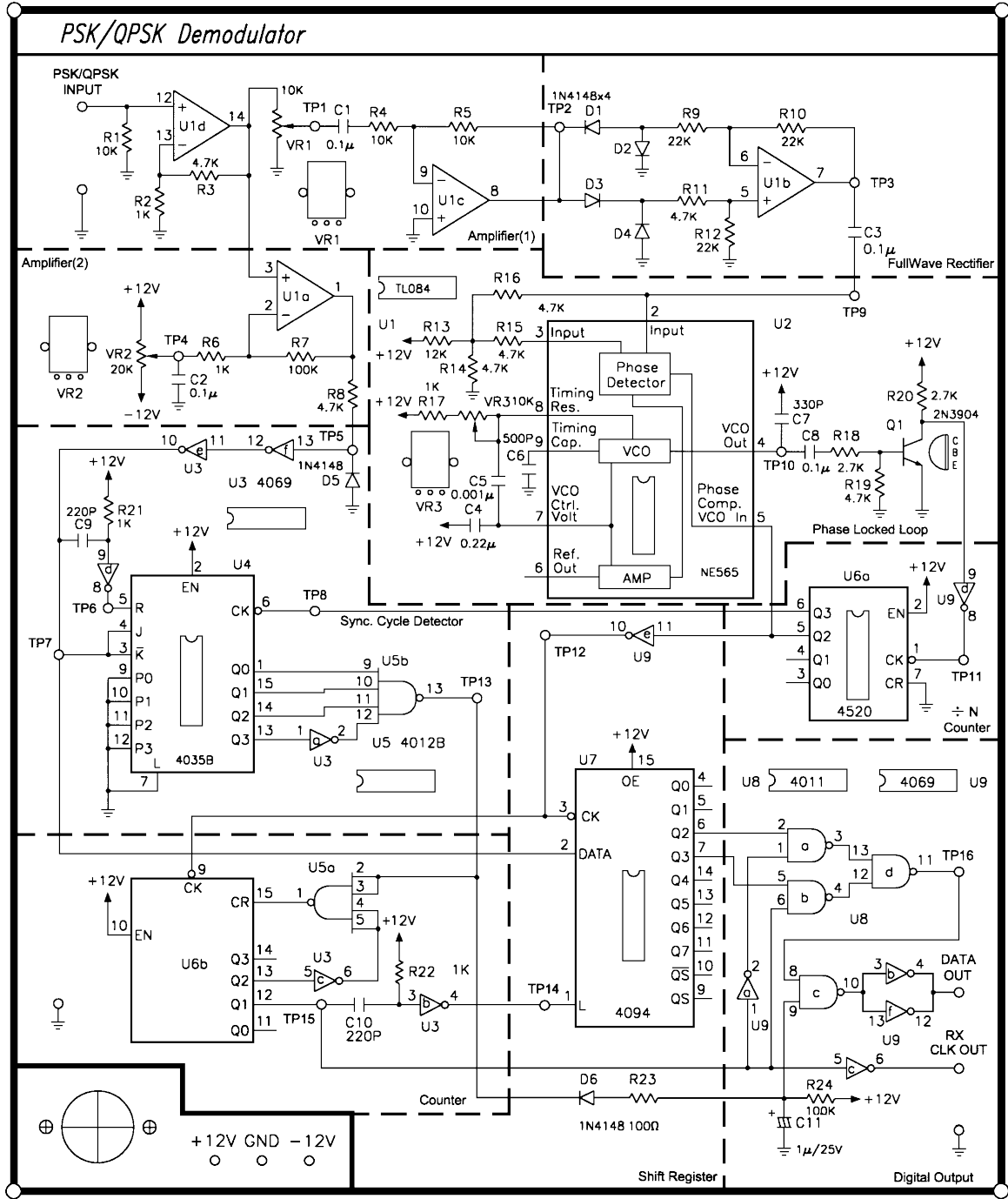
U1d çıkış terminalinde kuvvetlendirilen PSK/QPSK işareti, U1a kuvvetlendiricisinin girişine bağlanır. U1a, PSK/QPSK işaretini Fig. 19-7'de gösterilen sayısal darbe işaretine çevirir. TP5'deki bu işaret, U3e ve U3f eviricileri ile buffer'lanır ve daha sonra J ve U4'ün K\* girişlerine bağlanır.

Sync cycle detektörü 4-stage register(U4) ve 4-input NAND kapısı(U5b) içerir. Register'ın saat frekansı 2fc'dir. (R21, C9, U3d) elemanlarının oluşturduğu yapı ile üretilen reset darbesi, Q0-Q3 register çıkışlarını temizlemek için kullanılır. TP5'deki dijital data, J ve K\* girişlerine bağlanır. Bir sync cycle alındığı zaman, register çıkışları Q3-Q0=0111 olur. 4-input U5b NAND kapısının (TP13) çıkışı, low oluşturur ve böylelikle bir sync cycle detekte edildiği gösterilmiş olunur. TP13, low olduğu sürece, U8c NAND kapısının çıkışı high'dir. Bu nedenle demodülatör çıkışı inhibited durumundadır.

TP5'deki dijital data aynı zamanda U7 shift register'ının DATA girişine gönderilir. Dijital giriş datasının bit hızı(bit rate) fc ya da 2fc'ye eşit olmasına rağmen U7 ve U6b'nin saat frekansı 4fc'dir. U6b sayıcısının Q1 ve Q2 çıkışlarındaki frekanslar sırası ile fc ve fc/2'dir. Q1 çıkışı, U9 register'ının yük girişine ve RX CLK OUT terminaline bağlanır. Sayıcı, bir sync cycle detekte(TP13=0, CR=1) edildiğinde ya da Q2 çıkışı high(Q2=1, CR=1) olduğu zaman resetlenir.

U7 çıkışlarındaki demodüle edilmiş Q2-Q3 data çıkışı, kontrol lojik(NAND kapıları U8a, b, c, d) ile kontrol edilir. Eğer, sync cycle detekte edilmedi ise(TP13=1), demodüle edilmiş data DATA OUT terminaline gönderilebilir. Eğer, bir sync cycle detekte edildi ise (TP13=0), data yolu, kontrol lojik tarafından bloke edilir.





### 19.3 GEREKLİ EKİPMANLAR

1. KL-96001 Modülü
2. KL-94006, KL-94007 Modülü
3. Osiloskop

## 19.4 DENEYLER VE KAYITLAR

### *Deney 19-1 Ölçüm ve Ayar*

#### **A. KL-94006 Ölçüm ve Ayar**

1. Fig. 19-9'da gösterilen KL-94006 PSK/QPSK modülü üzerine gerekli olan +12V, -12V ve +5V beslemelerini bağlayınız.
2. VR1'i ayarlayarak TP4'deki işaretin genliğinin 1Vpp olmasını sağlayın.
3. VR2'yi ayarlayarak TP6'daki işaretin genliğinin 2Vpp olmasını sağlayın.
4. VR3'ü ayarlayarak TP5'deki işaretin genliğinin 3Vpp olmasını sağlayın. İki durumdaki dalga şekilleri arasındaki farkı kaydedin.
5. VR4'ü ayarlayarak TP7'deki işaretin genliğinin 3Vpp olmasını sağlayın. İki durumdaki dalga şekilleri arasındaki farkı kaydedin.
6. 500Hz, TTL seviyeli kare dalgayı DATA IN terminaline bağlayınız.
7. Osiloskopun CH1 IN girişini PSK/QPSK OUT terminaline bağlayınız. Dalga şeklini ölçün ve VR5'i ayarlayarak çıkış genliğinin 10Vpp olmasını sağlayın. Tablo 19-2'ye modülasyonlu işareti kaydedin.
8. Beslemeyi kapatın.

9. KL-94006 modülünün PSK/QPSK OUT çıkışını, KL-94007 modülünün PSK/QPSK INPUT terminaline bağlayın.
10. KL-94006 ve KL-94007 modüllerinin beslemelerini bağlayınız.

### **B. KL-94007 Ölçüm ve Ayar**

11. VR2'yi ayarlayarak TP4 terminalinin çıkış gerilimini -5VDC'ye ayarlayın.
12. VR1'yi ayarlayarak TP1 terminalinin çıkış gerilimini 5VDC'ye ayarlayın.
13. Osiloskopun girişini TP11 terminaline bağlayınız. Frekans ve dalga şeklini ölçün. VR3'ü ayarlayarak frekansı 32fc'ye ayarlayınız. Eğer taşıyıcı frekansı 8kHz ise, TP11'deki işaret frekansı 256kHz olmalıdır.
14. Osiloskopun CH1 IN girişini DATA OUT terminaline bağlayınız. Frekans ve dalga şekillerini ölçün Tablo 19-3'ye kaydedin.
15. DATA OUT terminalindeki dalga şekli, 500Hz, demodüle edilmiş dijital işaret olmalıdır. Eğer değil ise, VR1'i yavaşça değiştirebilir ya da devreyi kapatıp açabilirsiniz.
16. Osiloskopun CH1 IN terminalini RX CLK OUT terminaline bağlayınız. Frekans ve dalga şekillerini ölçün ve Tablo 19-3'ye kaydedin. RX CLK OUT terminalindeki dalga şekli, tekrar elde edilmiş taşıyıcı işaret olmalıdır. Eğer değil ise, VR1'i yavaşça değiştirebilir ya da devreyi kapatıp açabilirsiniz.
17. Beslemeyi kapatın.

### **Deney 19-2 PSK/QPSK Modölatörü**

18. Dijital DATA IN terminaline 500Hz, TTL seviyeli dijital bir işaret bağlayınız.
19. Osiloskopun CH1 IN girişini PSK/QPSK OUT terminaline bağlayınız. Tablo 19-4'deki farklı TIME/DIV ayarları için dalga şekillerini ölçün ve kaydedin.

### **Deney 19-3 PSK/QPSK Demodölatörü**

20. Dijital DATA IN terminaline 500Hz, TTL seviyeli bir kare dalga bağlayınız.
21. DATA OUT ve RX CLK OUT terminallerindeki frekans ve dalga şekillerini ölçün ve Tablo 19-5'e kaydedin.
22. Dijital DATA IN frekansları 100Hz ve 1KHz için 8. adımı tekrar ediniz.
23. DATA OUT ve RX CLK OUT terminallerindeki frekans ve dalga şekillerini ölçün ve Tablo 19-5'e kaydedin.

Tablo 19-2 Ölçme ve Ayar (KL-94006 modülü)

Test Noktası	Dalga Şekli
PSK/QPSK Çıkışı	

Tablo 19-3 Ölçme ve Ayar (KL-94007 modülü)

Test Noktası	Dalga Şekli & Frekans
DATA OUT	
RX CLK OUT	

Tablo 19-4 PSK/QPSK modülasyonlu işaret ölçümü

Osiloskop TIME/DIV	PSK/QPSK OUT
2.5ms	
1ms	
500µs	
250µs	
100µs	

Tablo 19-5 Demodülatör Çıkış Ölçümü

Dijital DATA IN Frekansı (KL-94006)	Test Noktası		
	DATA OUT	RX	CLK OUT
500Hz			
100Hz			
1KHz			