

**KARADENİZ TEKNİK ÜNİVERSİTESİ**  
**OF TEKNOLOJİ FAKÜLTESİ**  
**ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ**



**Elektronik Laboratuvarı - I**  
**Deney 7 – FET Karakteristikleri**

# DENEY 7 - FET Karakteristikleri

## DENEY 7-1 JFET Karakteristikleri

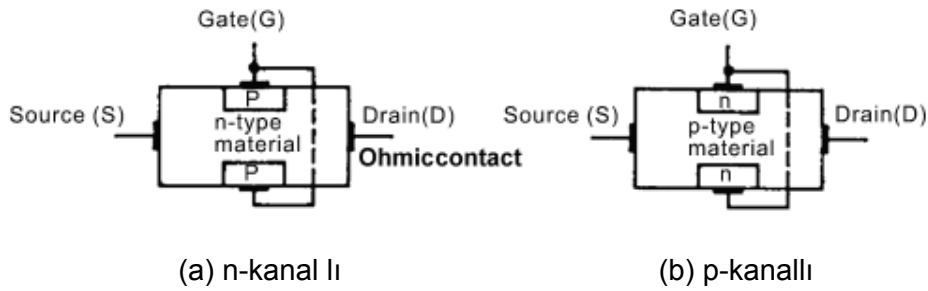
### DENEYİN AMACI

1. JFET'in yapısını ve çalışma prensibini anlamak.
2. JFET karakteristiklerini ölçmek.

### GENEL BİLGİLER

#### JFET'in Yapısı ve Karakteristikleri

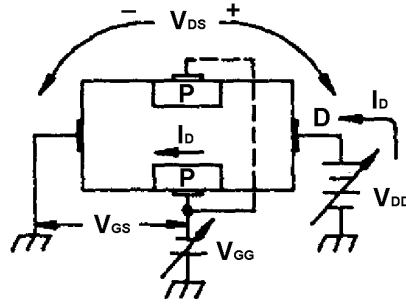
JFET'in iç yapısı Şekil 8-1-1'de gösterilmiştir. n-kanallı JFET, kalın bir n-tipi malzeme içerisine bir çift p-tipi bölgenin yerleştirilmesiyle elde edilir. Buna karşılık p-kanallı JFET, kalın bir p-tipi malzeme içerisine bir çift n-tipi bölgenin yerleştirilmesiyle elde edilir. Burada JFET'in çalışması anlatılırken, Şekil 8-1-2'de gösterilen öngerilim düzenlemesine sahip n-kanallı JFET ele alınacaktır.



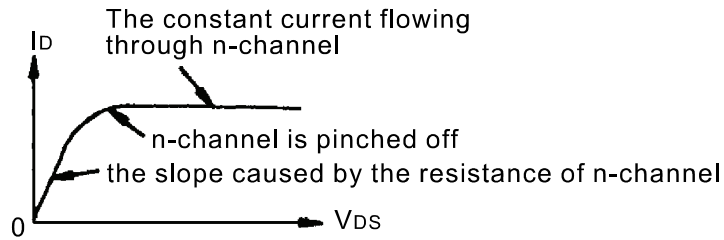
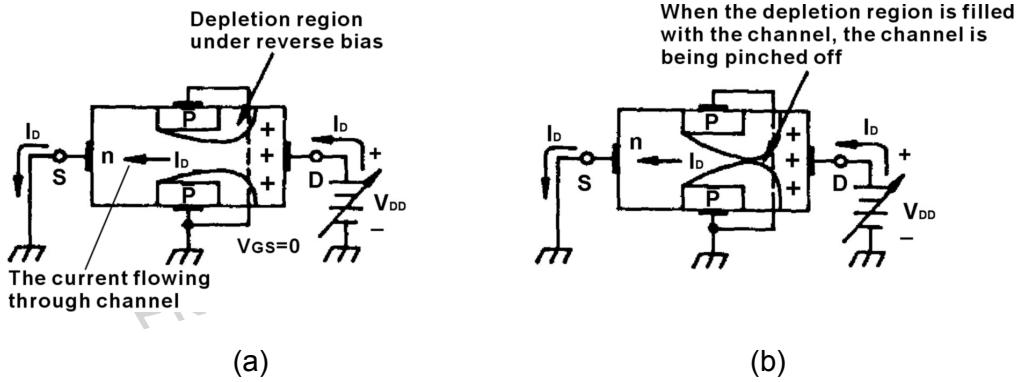
Şekil 8-1-1 JFET'in yapısı

$V_{DD}$  besleme gerilimi, akçe-kaynak arasında bir  $V_{DS}$  gerilimi oluşturarak, akçe-tan kaynağa bir  $I_D$  akımının akmasını sağlar (n-kanallı JFET'te elektronlar gerçekte kaynaktan akaca doğru hareket eder, ki ikinci bahsedilen uç bu yüzden akçe olarak adlandırılır. Geleneksel akım yönü ise, elektron akış yönünün tersinedir). Bu durumda

akaç akımı, p-tipi kapılarla çevrili kanal içerisinde akar. Şekil 8-1-2'de gösterildiği gibi kapı ile kaynak arasında  $V_{GG}$  gerilim kaynağı tarafından bir gerilim üretilir. Kapı ile kaynak arasındaki gerilim, kapı-kaynak jonksiyonunu ters yönde öngerilimlediği için kapı akımı akmaz. Kanalın iki yanından uygulanan kapı gerilimi tarafından oluşturulan boşaltılmış bölge, kanalın genişliğini azaltarak akaç-kaynak direncini artırır ve böylece akaç akımının azalmasına neden olur.



Şekil 8-1-2 JFET'in temel çalışması



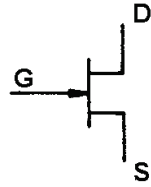
(c)  $V_{DS}$ - $I_D$  karakteristiği

Şekil 8-1-3 Kanal tarafından oluşturulan kısma etkisi

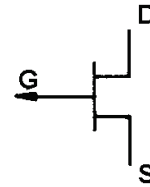
$V_{GS} = 0V$  iken FET'in çalışma durumu Şekil 8-1-3(a)'da gösterilmiştir. N-kanalı boyunca akım aktığı durumda  $V_{DD}$  tarafından üretilen gerilim düşümü, kapı-akaç jonksiyonuna yakın tarafının potansiyeli, kapı-kaynak jonksiyonuna göre daha yüksek olan küçük bir direnç olarak düşünülebilir. P-N jonksiyonuna uygulanan ters öngerilim, Şekil 8-1-3(a)'da gösterildiği gibi, bir boşaltılmış bölge oluşturur.  $V_{DD}$  gerilimi arttırıldığında,  $I_D$  akımı da artarak daha büyük bir boşaltılmış bölgeye yol açar ve akaç ile kaynak arasındaki direnç artmış olur.  $V_{DD}$  gerilimi sürekli olarak arttırılırsa, Şekil 8-1-3(b)'de gösterildiği gibi, boşaltılmış bölge kanalın tamamını kaplar. Bu durumda  $V_{DD}$ 'nin daha da arttırılması,  $I_D$  akımını arttırmaz ( $I = V/R$ ,  $V \uparrow$ ,  $R \uparrow$ ,  $I$  sabit kalır).  $V_{GS} = 0$  iken  $V_{DS}$  ile  $I_{DS}$  arasındaki ilişki Şekil 8-1-3(c)'de gösterilmiştir. Bu şekilden  $I_D$  akımının, sabit bir değere ulaşmaya kadar,  $V_{DS}$  gerilimiyle birlikte arttığı görülmektedir. Bu sabit değer  $I_{DSS}$  olarak adlandırılır (Burada DS harfleri akımın akaçtan kaynağa doğru aktığını ifade ederken, son S harfi ise akaç-kapı'nın kısa devre ( $V_{GS} = 0$ ) durumunda olduğunu belirtir).

### JFET'in Devre Sembolleri ve Karakteristik Eğrileri

1. JFET'in devre sembolleri Şekil 8-1-4'te gösterilmiştir. D, G ve S sırasıyla, JFET'in Akaç, Kapı ve Kaynak uçlarını ifade etmektedir.



(a) N-kanallı



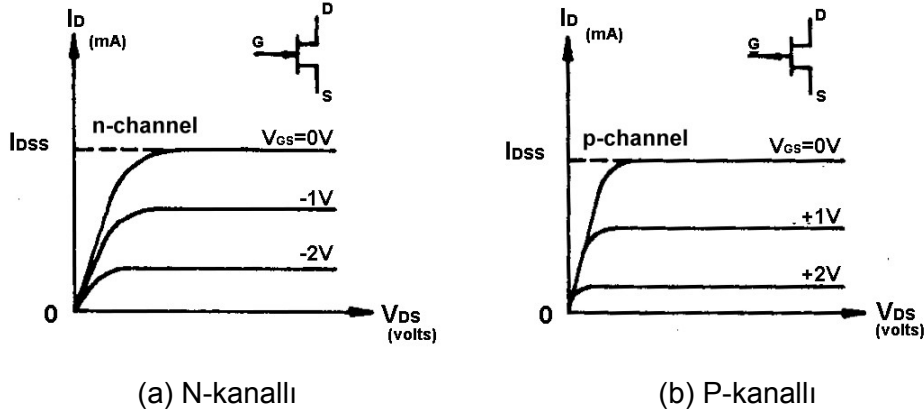
(b) P-kanallı

Şekil 8-1-4 JFET devre sembolleri

2. Akaç-Kaynak Karakteristik Eğrisi

Şekil 8-1-5, P-kanallı ve N-kanallı JFET'in akaç-kaynak karakteristiklerini göstermektedir.  $V_{GS}$ 'nin arttırılmasıyla (n-kanallıda daha negatif yapılır) kanalda oluşan boşaltılmış bölge, kanalı kırmak için gerekli akımın azalmasına sebep olur.  $V_{GS} = -1V$ 'a karşılık gelen eğri Şekil 8-1-5(a)'da gösterilmiştir. Bu sonuca göre, kapı geriliminin, akaç akımını azaltabilen bir kontrolör olarak iş gördüğü söylenebilir (belirli bir  $V_{DS}$  geriliminde). Şekil 8-1-5(b)'de gösterildiği gibi, P-kanallı JFET için  $V_{GS}$  daha pozitifken, akaç akımı  $I_{DSS}$ 'den daha küçük olur.

$V_{GS}$  sürekli olarak arttırılırsa, akış akımı buna bağlı olarak azalacaktır.  $V_{GS}$  belirli bir değere ulaştığında akış akımı sıfıra düşer ve  $V_{DS}$  değerinden bağımsız hale gelir. Bu andaki kapı-kaynak gerilimi kısma gerilimi olarak adlandırılır ve  $V_P$  veya  $V_{GS(kesim)}$  ile gösterilir. Şekil 8-1-5'ten  $V_P$ 'nin, n-kanallı FET için negatif, p-kanallı FET için pozitif bir gerilim olduğu görülmektedir.



Şekil 8-1-5 JFET'in Akış-Kaynak karakteristik eğrileri

### 3. Transfer Eğrisi

JFET için diğer bir karakteristik eğri de, transfer karakteristik eğrisidir. Bu eğri, sabit  $V_{DS}$  akış-kaynak gerilimi için,  $I_D$  akış akımının  $V_{GS}$  kapı-kaynak gerilimine göre değişimini gösterir. Transfer karakteristik eğrisindeki en önemli noktalar  $I_{DSS}$  ve  $V_P$  noktalarıdır. Bu iki nokta koordinat eksenlerine yerleştirildiğinde, diğer noktalar, bu transfer karakteristik eğrisine bakılarak yada aşağıdaki denklem kullanılarak bulunabilir:

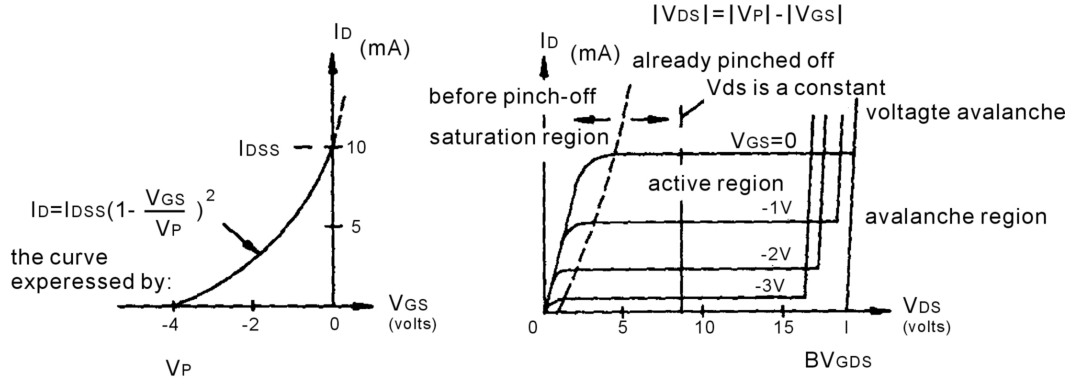
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (8-1-1)$$

Denklem (8-1-1)'den:

$$V_{GS} = 0 \text{ iken, } I_D = I_{DSS}$$

$$I_D = 0 \text{ iken, } V_{GS} = V_P$$

JFET'in öngerilimi, transfer eğrisinde  $V_P$  ve  $I_{DSS}$ 'nin ortasında olacak şekilde tasarlanır.

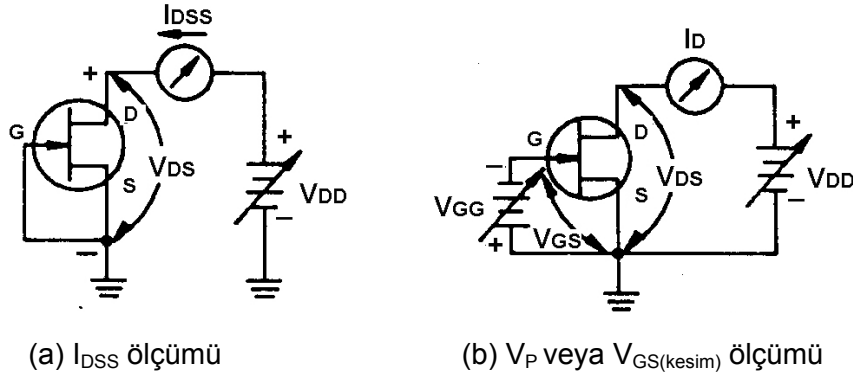


Şekil 8-1-6 JFET için akçe-kaynak karakteristiđi ve transfer eđrisi

$I_{DSS}$  ve  $V_P$  ölçüm devrelerinde,

Şekil 8-1-7(a)'da  $V_{GS} = 0$ ;

Şekil 8-1-7(b)'de  $V_{GS}$  yüksek negatif bir gerilim.



Şekil 8-1-7  $I_{DSS}$  ve  $V_P$  ölçüm devreleri

## KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuvarı
2. KL-25005 FET Devresi Deney Modülü
3. Multimetre

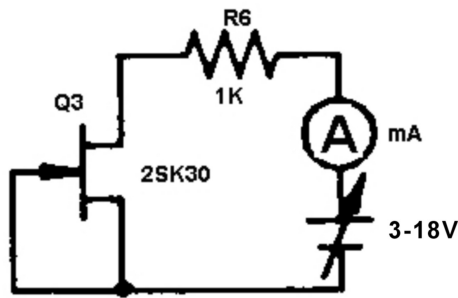
## DENEYİN YAPILIŞI

### A. $I_{DSS}$ Ölçümü

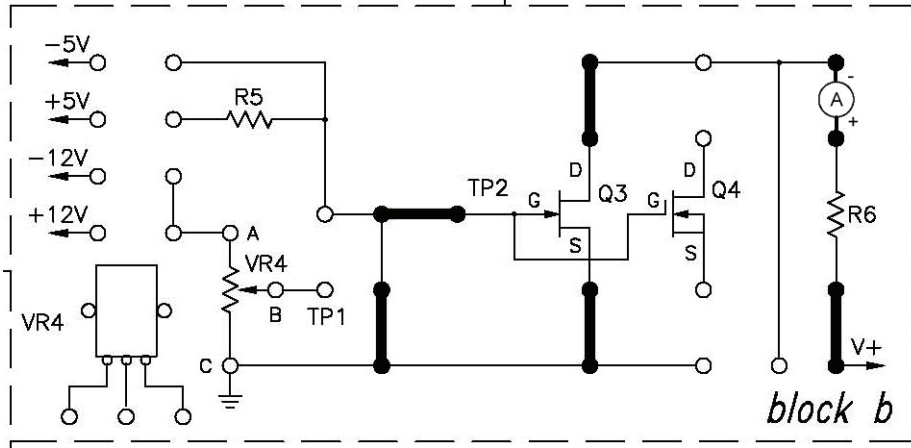
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunun konumunu belirleyin.
2. Şekil 8-1-8'deki devre ve Şekil 8-1-9'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki Ayarlanabilir Güç Kaynağının V+ ucunu, KL-25005 modülünün V+ girişine bağlayın ve gerilim kontrol düğmesini minimuma getirin.
3.  $I_{DSS}$  akımını ölçmek için ampermetreyi bağlayın.
4. V+ ( $V_{DD}$ ) değerini, 3V ile 18V arasında, Tablo 8-1-1'de verilen değerlere, ayarlayın. Ampermetre yardımıyla  $I_{DSS}$  değerini ölçün ve Tablo 8-1-1'e kaydedin.

$V_{DD}$ (V)	3	4	5	7	9	12	15	18
$I_{DSS}$ (mA)								

Tablo 8-1-1



Şekil 8-1-8  $I_{DSS}$  ölçüm devresi



Şekil 8-1-9 Bağlantı diyagramı (KL25005 blok b)

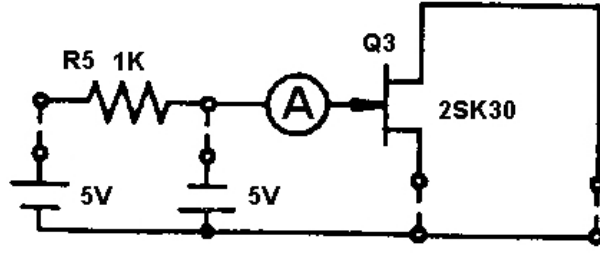
## B. $I_{GS}$ Ölçümü

- Şekil 8-1-10'daki devre ve Şekil 8-1-11'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın (# ve \$ işaretli klipsler hariç). KL-22001 Düzeneğindeki sabit +5VDC ve -5VDC güç kaynaklarını, KL-25005 modülüne bağlayın.
- $I_{GS}$  değerini ölçmek için ampermetreyi bağlayın.
- \$ işaretli klipsi takarak  $V_G$ 'yi +5V'a bağlayın.  $I_{GS}$  değerini ölçün ve Tablo 8-1-2'ye kaydedin. \$ işaretli klipsi devreden çıkartın.
- # işaretli klipsi takarak  $V_G$ 'yi -5V'a bağlayın.  $I_{GS}$  değerini ölçün ve Tablo 8-1-2'ye kaydedin.

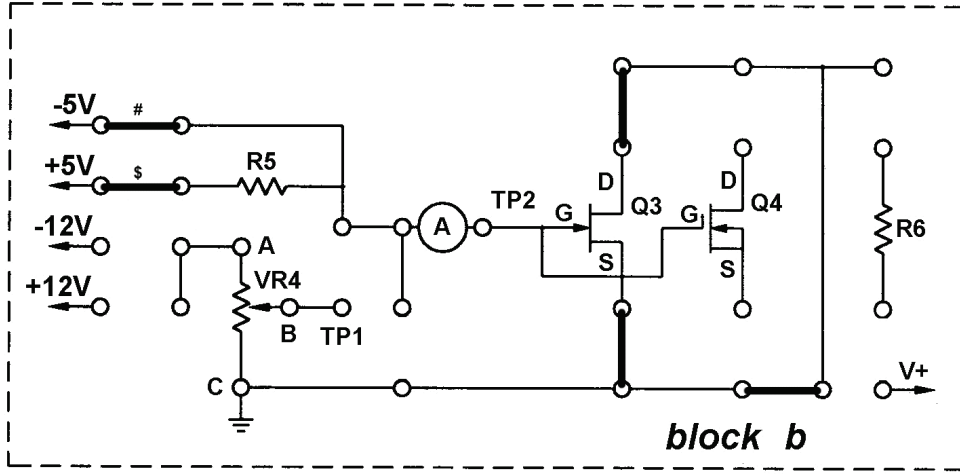
$V_{GS}$	$I_{GS}$
+5V	
-5V	

Tablo 8-1-2





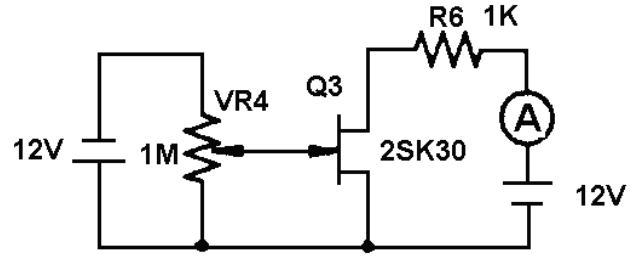
Şekil 8-1-10  $I_{GS}$  ölçüm devresi



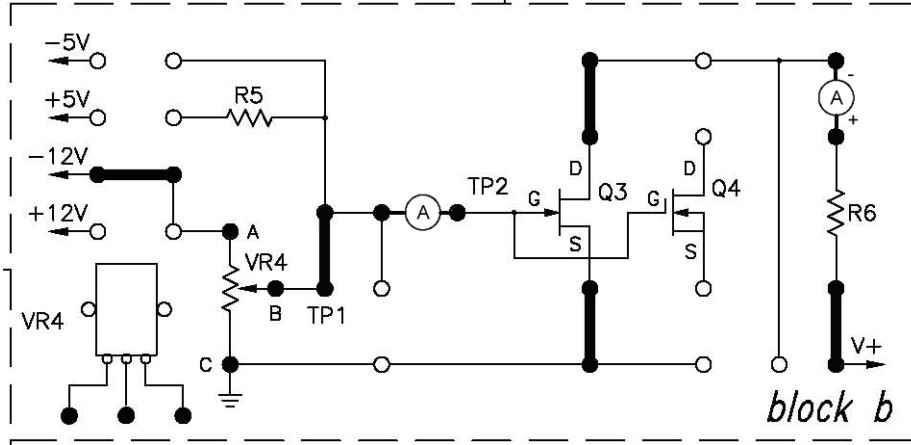
Şekil 8-1-11 Bağlantı diyagramı (KL-25005 blok b)

### C. $V_P$ Ölçümü

1. Şekil 8-1-12'deki devre ve Şekil 8-1-13'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR4'ü devreye bağlayın. KL-22001 Düzenegindeki +12VDC ve -12VDC Sabit ve V+ Ayarlanabilir Güç Kaynaklarını, KL-25005 modülüne bağlayın. V+'yı 12V yapın.
2.  $I_D$  değerini ölçmek için ampermetre bağlayın.
3.  $I_D=0$  olacak şekilde VR4(1M $\Omega$ )'ü ayarlayın.
4.  $I_D=0$  iken, voltmetreyi kullanarak  $V_{GS}$  gerilimini ölçün.  $V_{GS}=V_P=$ \_\_\_\_\_.



Şekil 8-1-12  $V_p$  ölçüm devresi



Şekil 8-1-13 Bağlantı diyagramı (KL-25005 blok b)

## DENEY 7-2 MOSFET Karakteristikleri

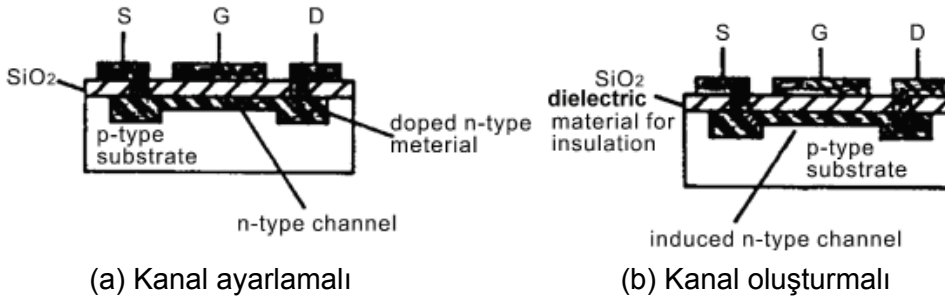
### DENEYİN AMACI

1. MOSFET'in yapısını ve çalışma prensibini anlamak.
2. MOSFET karakteristiklerini ölçmek.

### GENEL BİLGİLER

#### MOSFET'in Yapısı, Karakteristikleri ve Devre Sembolleri

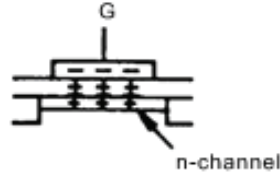
MOSFET'ler kanal ayarlamalı MOSFET ve kanal oluşturmali MOSFET olmak üzere ikiye ayrılır. Bu iki tür MOSFET'in yapıları sırasıyla Şekil 8-2-1(a) ve (b)'de gösterilmiştir. Kanal ayarlamalı MOSFET'te kanal zaten mevcut olduğu için,  $V_{DS}$  gerilimi uygulanır uygulanmaz  $I_{DS}$  akımı akmaya başlar. Kanal oluşturmali MOSFET'te ise başlangıçta kanal mevcut olmadığından, önce kanalı oluşturmak üzere pozitif (p-kanallı için) yada negatif iyonları (n-kanallı için) endüklemek için kapıya gerilim uygulanmalı ondan sonra da  $I_{DS}$  akımını oluşturmak için  $V_{DS}$  gerilimi uygulanmalıdır.



Şekil 8-2-1 MOSFET'in yapısı

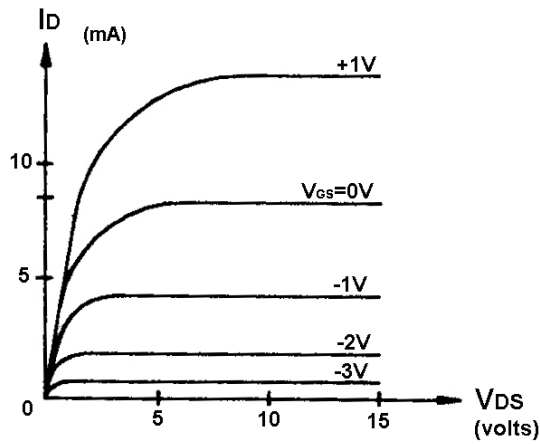
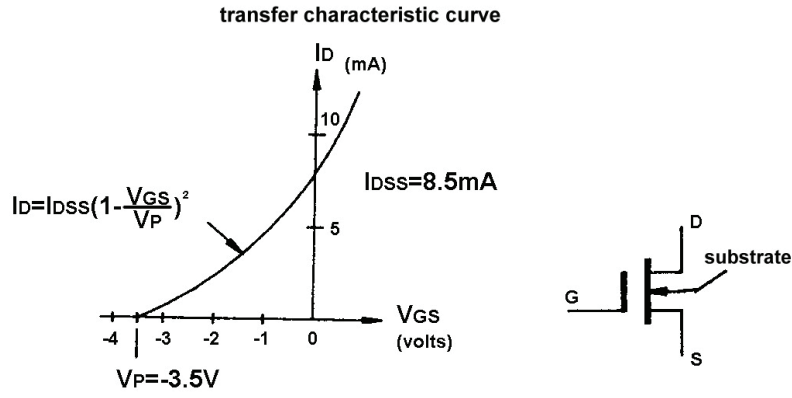
#### Kanal Ayarlamalı MOSFET Karakteristikleri

Kanal ayarlamalı MOSFET'te boşaltılmış bölgenin nasıl oluştuğu, Şekil 8-2-2'de gösterilmiştir.



Şekil 8-2-2 Kanal ayarlamalı MOSFET'te boşaltılmış bölge

G'ye negatif gerilim uygulandığında, n-tipi kanaldaki negatif yükler, endüklenmiş pozitif yüklerle birleşerek boşaltılmış bölgenin genişlemesine sebep olur. Aksine pozitif  $V_{GS}$  geriliminin uygulanmasıyla daha fazla negatif yük endüklenir ve kanalın iletkenliği artar. Bu da akımın artmasına sebep olur.

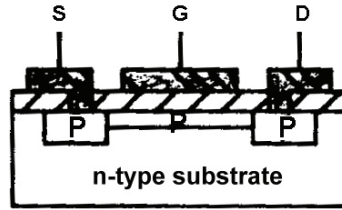


Şekil 8-2-3 N-kanallı kanal ayarlamalı MOSFET

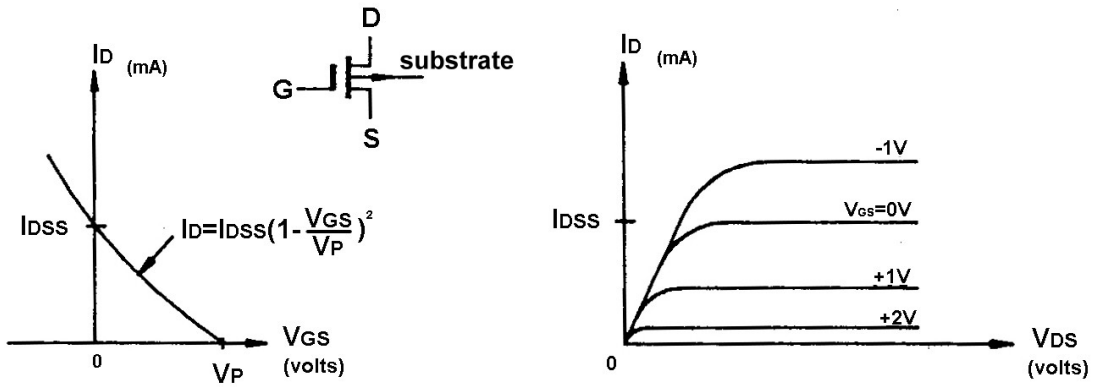
Şekil 8-2-3'te gösterilen n-kanallı kanal ayarlamalı MOSFET'in karakteristik eğrisinden, bu FET'in hem negatif hem de pozitif  $V_{GS}$  gerilimlerinde çalışabileceği görülmektedir. Negatif  $V_{GS}$  gerilimi, kısma meydana gelip  $I_D$  akımı akmayana kadar akaç akımını azaltır. Kapı kanaldan izole edilir ve  $V_{GS}$ 'nin pozitif veya negatif olmasına bakmaksızın  $I_{GS}$  akımı sıfırdır.

### Kanal Ayarlamalı MOSFET'in Devre Sembolü

Şekil 8-2-3(a) kanal ayarlamalı MOSFET'in devre sembolünü göstermektedir. Bu sembol, G, D ve S uçlarına ilave olarak, altkatman (substrate) olarak ifade edilen ve eleman tipini tanımlayan başka bir uca daha sahiptir. Alt katman sembolü bir ok içermektedir ve burada okun yönü, MOSFET'in n-kanallı olduğunu belirtmektedir. P-kanallı kanal ayarlamalı MOSFET'in sembolü, yapısı ve karakteristik eğrisi Şekil 8-2-4'te gösterilmiştir.



(a) Yapısı



(b) Karakteristik eğrileri

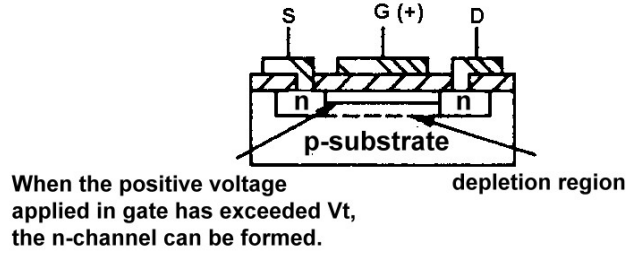
Şekil 8-2-4 P-kanallı kanal ayarlamalı MOSFET

### Kanal Oluşturmalı MOSFET Karakteristikleri

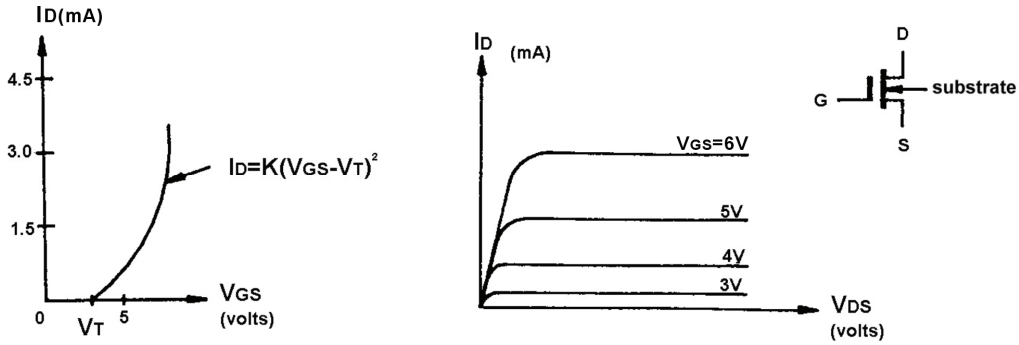
Şekil 8-2-5'te, temel eleman yapısı olarak D ile S arasında bir kanala sahip olmayan, n-kanallı kanal oluşturmalı MOSFET'in yapısı gösterilmiştir. D ile S arasına  $+V_{GS}$  uygulandığında, endüklenen negatif yükler bir kanal oluşturur. Şekil 8-2-5(c)'de karakteristik eğri gösterilmiştir. Bu şekilden,  $V_{GS}$  gerilimi  $V_T$  eşik gerilimini aşmadığı sürece  $I_D$  akımı üretilmeyeceği görülmektedir.  $V_{GS}$ , eşik gerilimini aşarsa  $I_D$  akımı artmaya başlar. Transfer karakteristik eğrisi denklem 8-2-1 kullanılarak çizilebilir.

$$I_D = K (V_{GS} - V_T)^2 \quad (8-2-1)$$

K değeri genellikle  $0.3\text{mA/V}^2$  olarak alınır.  $V_{GS}=0$  iken akaç akımı akmadığı için formülde  $I_{DSS}$  kullanılmamıştır. Kanal oluşturmalı MOSFET, çalışma aralığı bakımından, kanal ayarlamalı MOSFET'e göre daha kısıtlı olmasına karşın, daha basit yapısı ve daha küçük boyutlarda üretilebilmesi dolayısıyla büyük ölçekli tümdevrelerde yaygın olarak kullanılır.



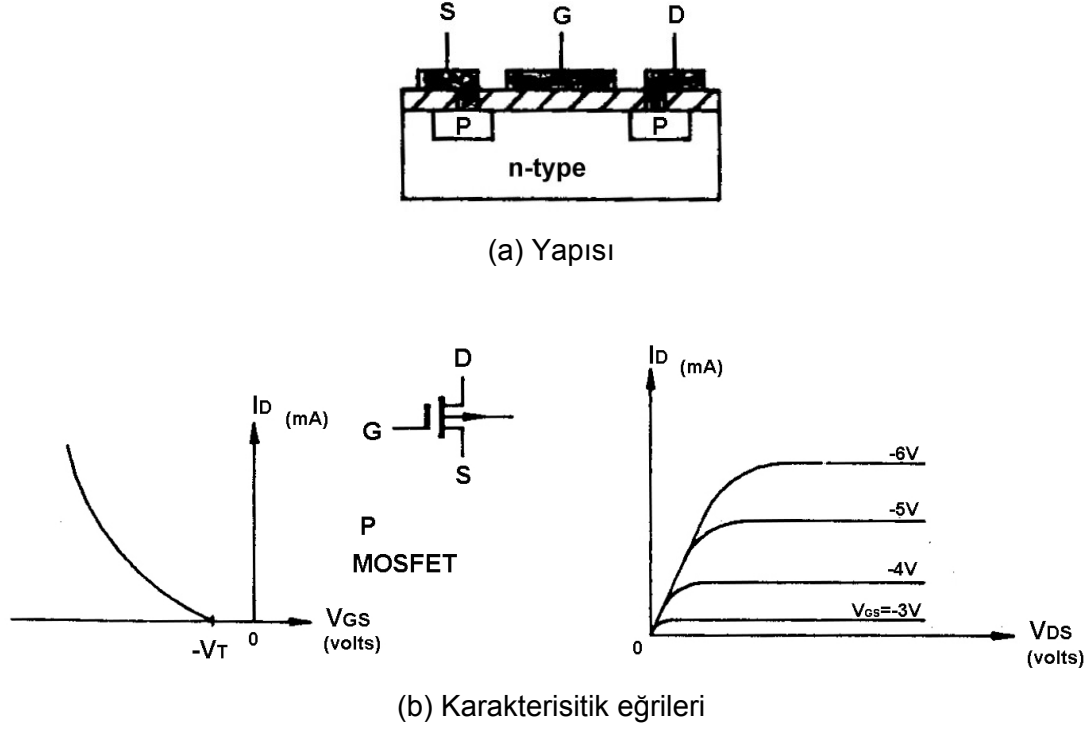
(a) Yapısı



(b) Karakteristik eğrileri

Şekil 8-2-5 N-kanallı kanal oluşturmalı MOSFET

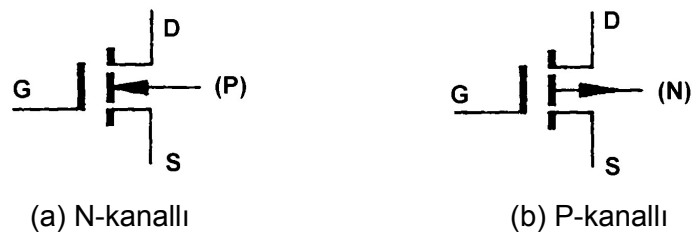
P-kanallı kanal oluşturmali MOSFET'in yapısı ve karakteristik eğrileri Şekil 8-2-6'da gösterilmiştir.



Şekil 8-2-6 P-kanallı kanal oluşturmali MOSFET

### Kanal Oluşturmali MOSFET'in Devre Sembolleri

D ile S arasındaki kesik çizgiler, başlangıçta D ile S arasında kanal olmadığını belirtir.



Şekil 8-2-7 Kanal oluşturmali MOSFET'in devre simgeleri

## KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuarı
2. KL-25005 FET Devre Deney Modülü
3. Multimetre

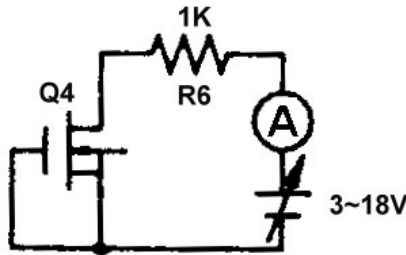
## DENEYİN YAPILIŞI

### A. $I_{DSS}$ Ölçümü

1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunun konumunu belirleyin. Şekil 8-2-8'deki devre ve Şekil 8-2-9'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.
2. KL-22001 Düzeneğindeki Ayarlanabilir Güç Kaynağının V+ ucunu, KL-25005 modülüne bağlayın ve gerilim kontrol düğmesini minimuma getirin.
3.  $I_{DSS}$  değerini ölçmek için ampermetre bağlayın.
4. V+ ( $V_{DD}$ ) değerini, 3V ile 18V arasında, Tablo 8-2-1'de verilen değerlere, ayarlayın. Ampermetre yardımıyla  $I_{DSS}$  değerini ölçün ve Tablo 8-2-1'e kaydedin.

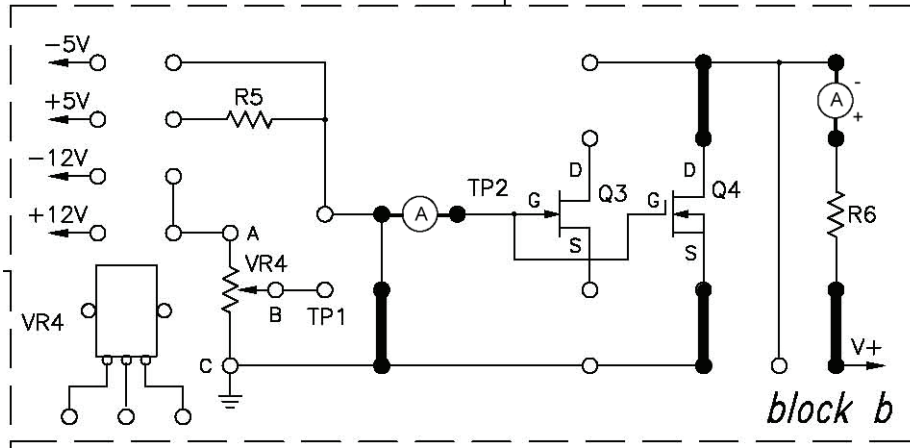
$V_{DD}$ (V)	3	4	5	7	9	12	15	18
$I_{DSS}$ (mA)								

Tablo 8-2-1



Şekil 8-2-8  $I_{DSS}$  ölçüm devresi

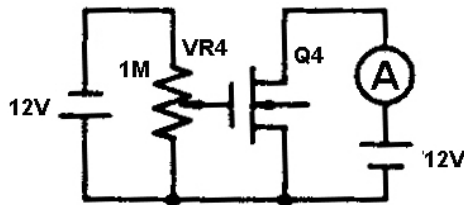




Şekil 8-2-9 Bağlantı diyagramı (KL-25005 blok b)

## B. $V_P$ Ölçümü

1. Şekil 8-2-10'daki devre ve Şekil 8-2-11'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR4'ü devreye bağlayın.
2. KL-22001 Düzenegindeki -12VDC Sabit ve  $V_+$  Ayarlanabilir Güç Kaynaklarını, KL-25005 modülüne bağlayın.  $V_+$ 'yı 12V'a ayarlayın.
3.  $I_D$  değerini ölçmek için ampermetre bağlayın.
4.  $I_D=0$  olacak şekilde VR4(1M $\Omega$ )'ü ayarlayın.
5.  $I_D=0$  iken voltmetreyi kullanarak  $V_{GS}$  gerilimini ölçün.  $V_{GS}=V_P=$ \_\_\_\_\_ V.
6.  $V_{GS}=0V$  olacak şekilde VR4'ü ayarlayın.  $I_D$  akımını ölçün.  $I_D=$ \_\_\_\_\_ mA



Şekil 8-2-10  $V_P$  ölçüm devresi

