



T.C.
KARADENİZ TEKNİK UNİVERSİTESİ

Kenar Tetiklemeli D Flip Flop

Arş. Gör. Burak AYDIN
Bilgisayar Mühendisliği

Bellek içeren, önceki değerleri saklama özelliği olan devrelere ardışık devre denir. En temel bellek elemanı da mandallar ve flip floplardır.

Devre Çeşitleri

1. **Birleşimsel Devre (Combinational Logic)**
Çıkışlar yalnızca **şu anki** girişlere bağlıdır.
2. **Ardışık Devre (Sequential Logic)**
Çıkışlar **hem şu andaki hem de geçmişteki** girişlere bağlı olabilir.

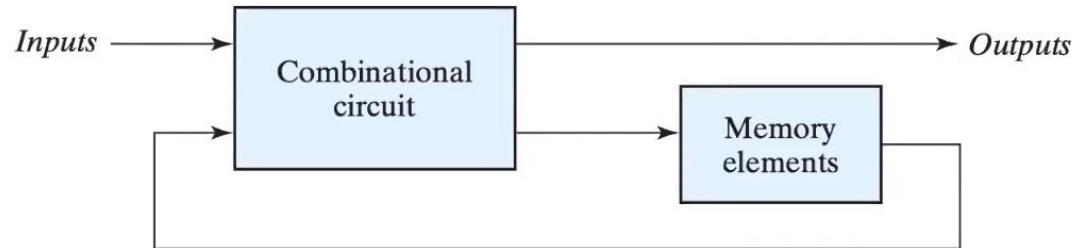
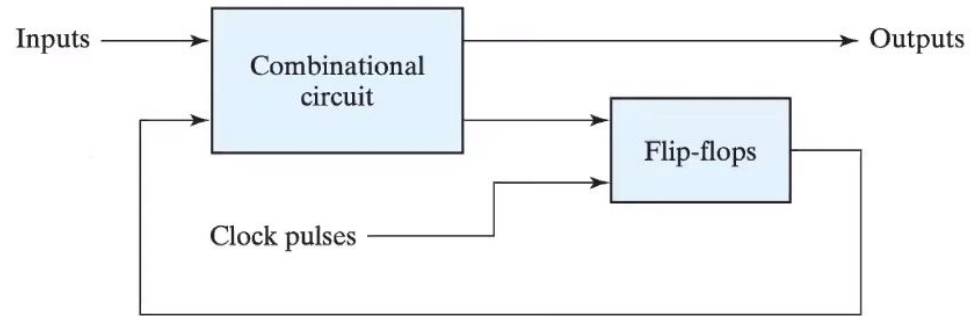


FIGURE 5.1
Block diagram of sequential circuit

Saatli Ardışık Devreler

Tasarımda temel mantık kapılarının yanın sıra **flip-floplar(ikilidurumlular)** da kullanılır.

Bu iki durumlu tek bitlik bilgiyi saklayabilir.



(a) Block diagram



(b) Timing diagram of clock pulses

FIGURE 5.2
Synchronous clocked sequential circuit

Mandallar (Latches)

- Saat kullanmazlar.
- Sinyal deęişimi yerine gelen **sinyalin seviyesiyle** işlerler.
- Flip-Flop Yapımında kullanılırlar.

SR Türü Mandal

S = Set
= Ayarla

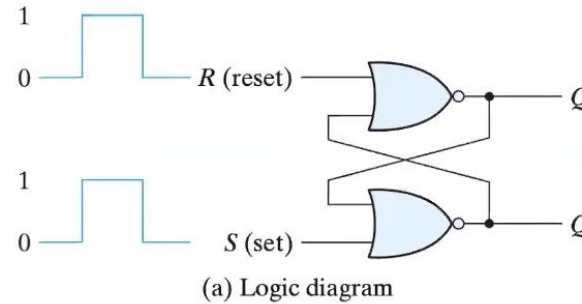
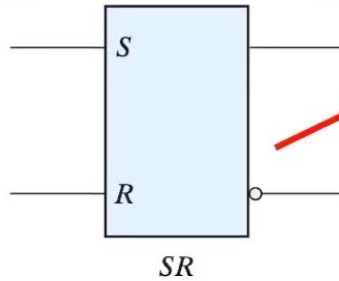


FIGURE 5.3
SR latch with NOR gates

S	R	Q	Q'	
1	0	1	0	
0	0	1	0	(after $S = 1, R = 0$)
0	1	0	1	
0	0	0	1	(after $S = 0, R = 1$)
1	1	0	0	(forbidden)

(b) Function table

R = Reset
= Sıfırla

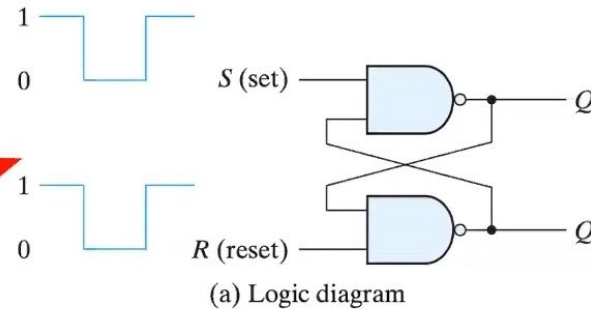
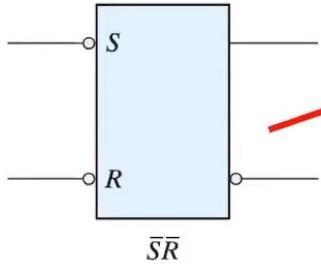


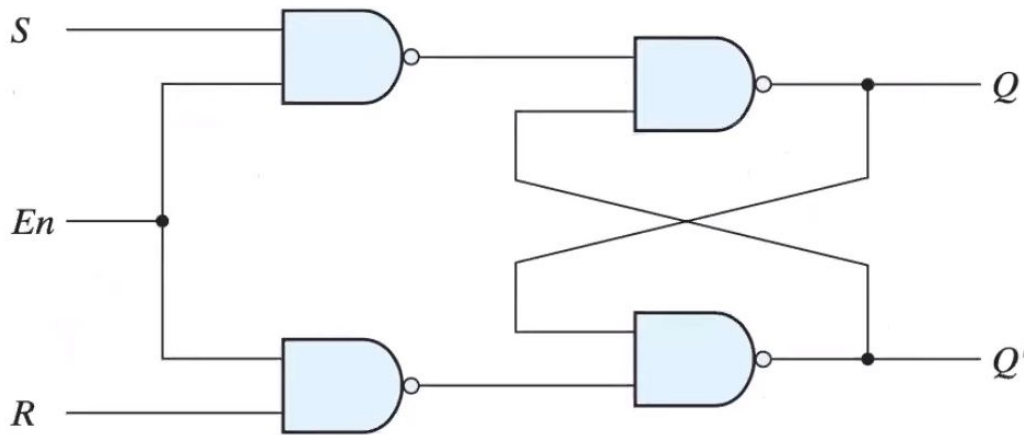
FIGURE 5.4
SR latch with NAND gates

S	R	Q	Q'	
1	0	0	1	
1	1	0	1	(after $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(after $S = 0, R = 1$)
0	0	1	1	(forbidden)

(b) Function table

Q = Çıktı

Etkinleştirme Sinyalli SR Mandalları



(a) Logic diagram

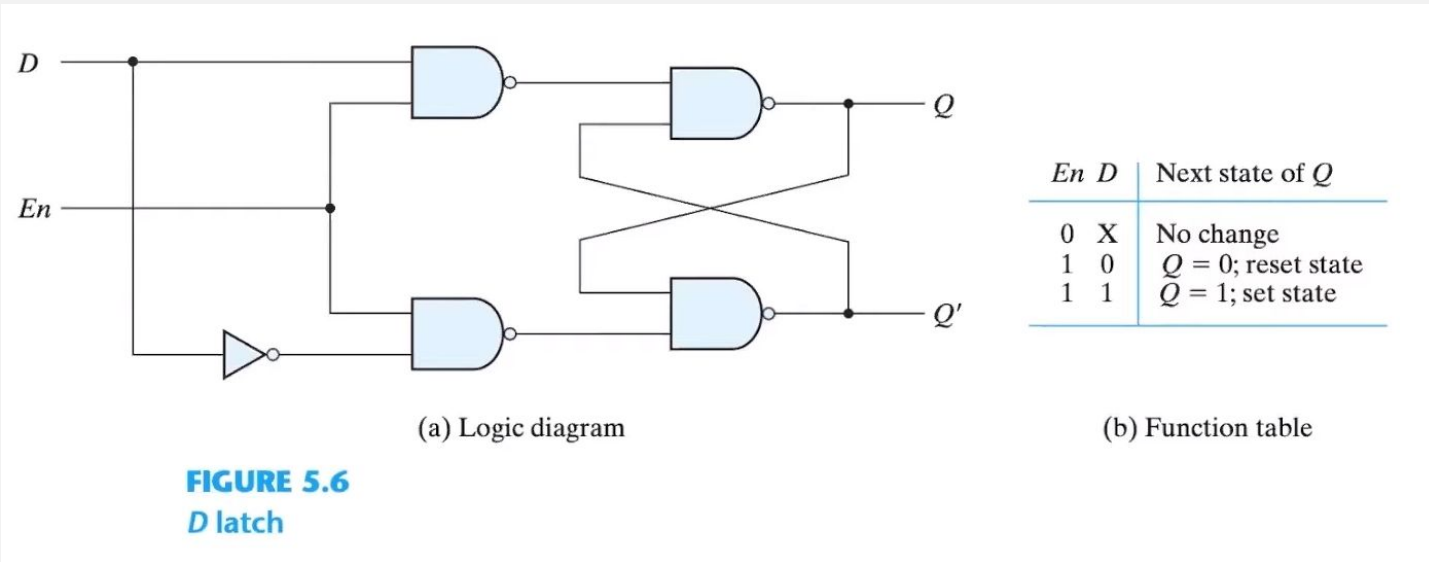
En	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	$Q = 0$; reset state
1	1	0	$Q = 1$; set state
1	1	1	Indeterminate

(b) Function table

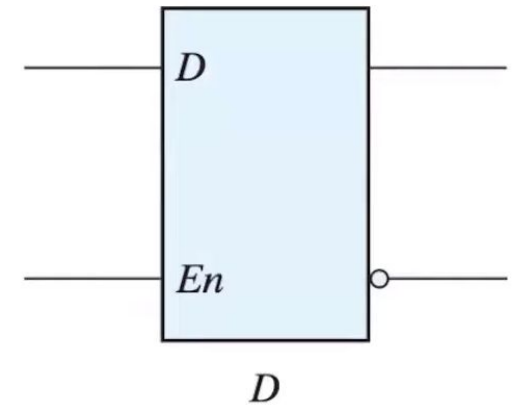
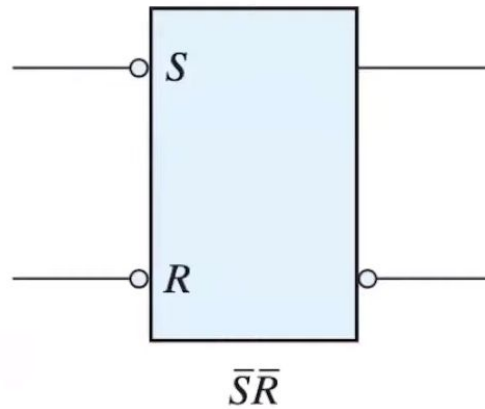
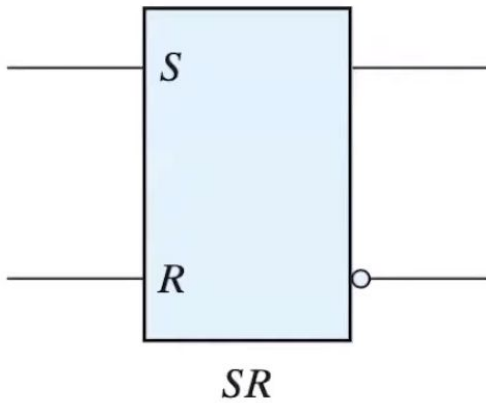
FIGURE 5.5
SR latch with control input

D Mandalı

Belirsiz (Indeterminate) durumdan kurtulmak için S ve R'nin asla aynı anda 1 olmamasını sağlayabiliriz.



Mandal Çeşitleri



İkilidurumlular (Flip-Flop)

Bir mandalın durumu saat vuruşu aktif seviyedeyken değişebilir. => 5.8.a

Flip-flopların durumu **sadece sinyal seviyesindeki değişimler** sırasında değişebilir => 5.8.b, 5.8.c

Şekilde Tetiklenme mekanizmaları gösterilmiştir.

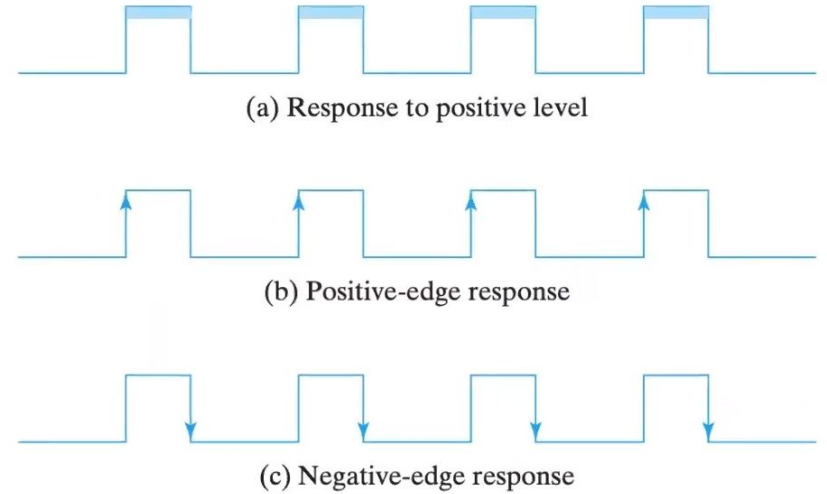


FIGURE 5.8
Clock response in latch and flip-flop

D Türü Flip-Flop

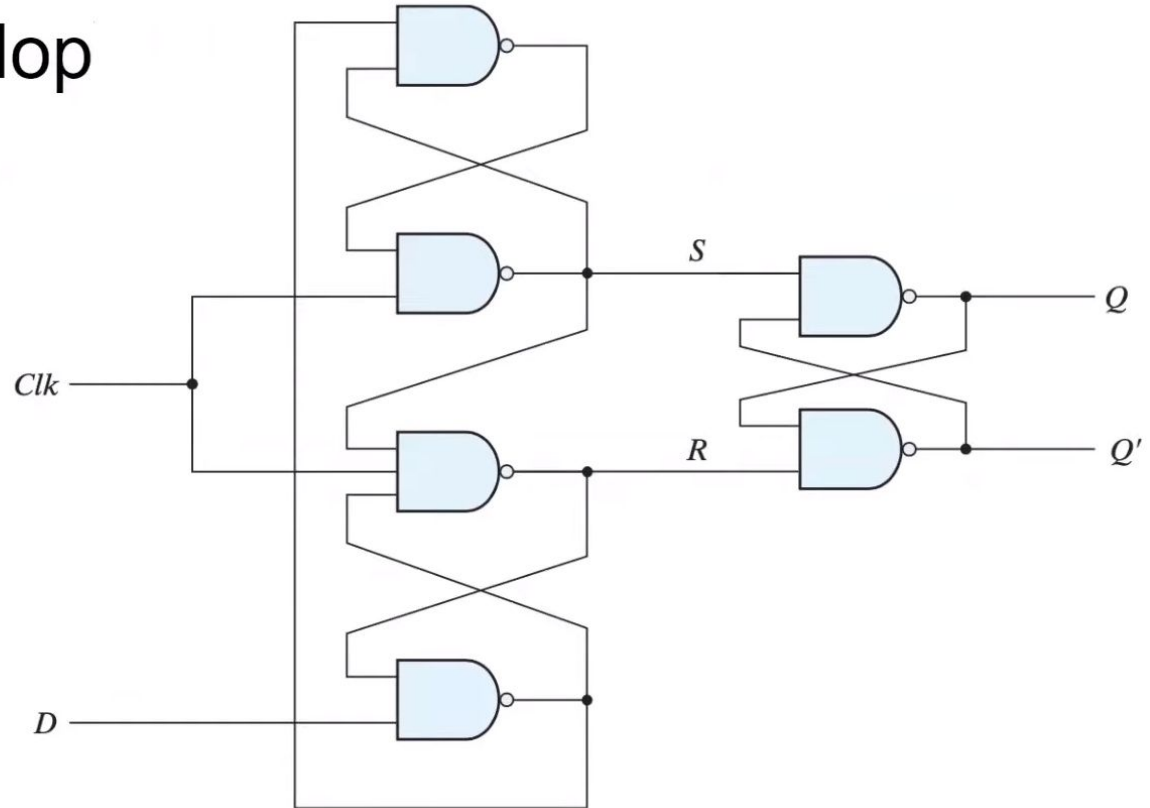


FIGURE 5.10
D-type positive-edge-triggered flip-flop

Teşekkürler

Kaynak: Prof. Dr. Oğuz Ergin