

ELK2016 SAYISAL TASARIM DERSİ LABORATUVARI

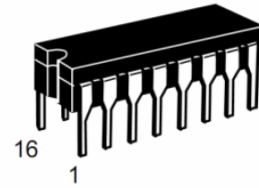
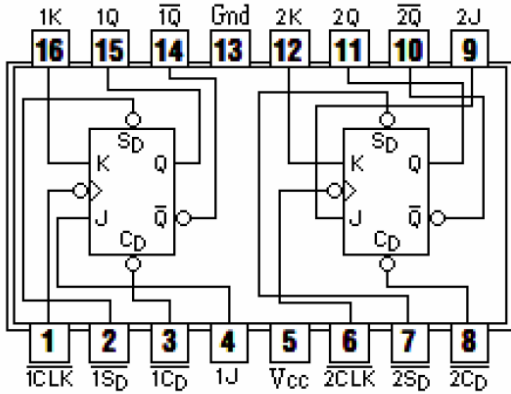
DENEY NO: 4

DENEYİN ADI: JK, RS, T VE D TİPİ FLİP-FLOPLARIN İNCELENMESİ

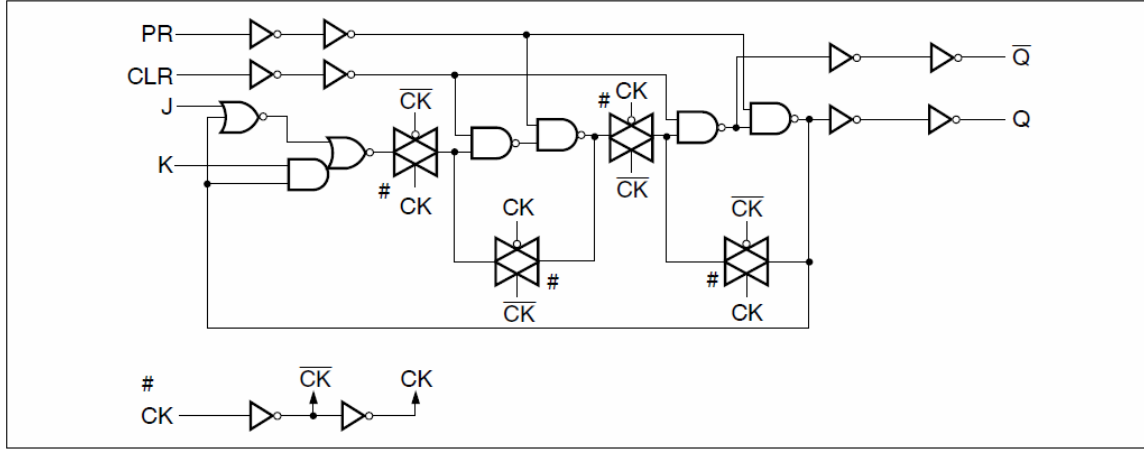
Açıklamalar: Bu deneyde JK, RS, T ve D tipi flip-flop (FF)'lar incelenecektir. Deney içerisinde JK ve D tiplerine has entegreler ile bu FF'ler incelenecektir. T ve D tipi FF ler ayrıca JK tipi FF'den elde edilerek de incelenecektir. RS tipi FF'ler ise bunlara has entegre kullanılmak yerine NAND kapıları ile tasarlanarak kullanılacaktır. Deneye ait aşağıdaki tüm açıklamaları ve deneyin yapılışı kısımlarını okuyunuz.

DENEY 4.1: JK Tipi Flip-Flopların İncelenmesi

Giriş: J-K flip-flop (FF) iki adet girişe sahip tetiklemeli elemanlardır. J ve K girişlerinin lojik seviyesine bağlı olarak çıkış farklı değerler alır. Çıkıştaki bu değişimlerin görülebilmesi için clock sinyalinin uygulanması gereklidir. Clock sinyali uygulanmadığı sürece J ve K girişlerine uygulanan değerler çıkışı etkilemeyecektir. Şekil 1' de içinde iki adet JK- flip-flop bulunan 74HC76P entegresi, Şekil 2'de ise bu entegrenin içyapısı görülmektedir.

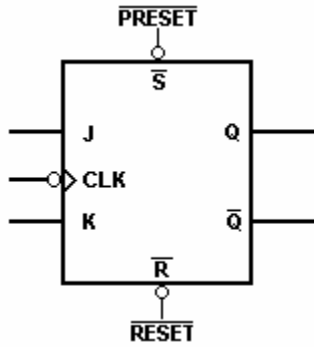


Şekil 1. 74HC76P entegresi ayak bağlantıları ve görünüşü



Şekil 2. 74HC76P entegresi iç yapısı

Bir 74HC76P JK Flip-Flop'u beş girişe (J, K, CLOCK, PRESET, CLEAR) iki çıkışa (Q ve Q') sahiptir. Şekil 3 ve Tablo 1'de JK FF'nin sembolik şeklini ve doğruluk tablosu gösterilmektedir. PRESET ve CLEAR girişleri JK tpi FF'nin girişlerinden bağımsız olarak FF'nin durumunu asenkron olarak etkiler. PRESET=0 iken Q daima set durumunda (Q=1) ve PRESET=1 iken FF normal çalışma özelliklerini gösterir. CLEAR=0 iken Q daima reset durumundadır (Q=0). CLEAR=1 iken FF çalışma özeliğini devam ettirir. **YANI FF'NİN NORMAL ÇALIŞABİLMESİ İÇİN BU İKİ GİRİŞİNDE LOJİK 1 SEVİYESİNDE OLMASI GEREKİR.** Bu iki giriş kesinlikle aynı anda kullanılmamalıdır. Tanım gereği PRESET=CLEAR=0 durumu kesinlikle uygulanmamalıdır.



GİRİŞLER			ÇIKIŞLAR	
CLK	J	K	Q	Q̄
↓	0	0	q	q̄
↓	1	0	1	0
↓	0	1	0	1
↓	1	1	q̄	q

Şekil 3. JK flip-flop (FF) Tablo 1. JK FF doğruluk Tablosu

Doğruluk tablosundan da görüleceği gibi;

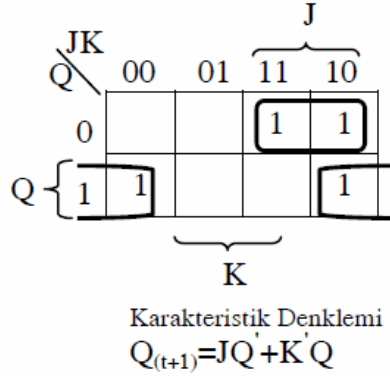
- i- J=0, K=1 ve J=1, K=0 durumlarında çıkış J değerini izler.
- ii- J=K=0 durumunda önceki Q çıkışını koruyan devre, J=K=1 durumunda önceki çıkışın tersine sahip olur şeklinde özetlenebilir.

Bu açıklamalardan; “RS FF’de bulunan yasak durum JK FF’de ortadan kalkmıştır” genellemesi yapılabilir.

Şekil 4’te J-K FF karakteristik tablosu ve karakteristik denklemini gösterilmektedir.

Q	J	K	Q _(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(a)



(b)

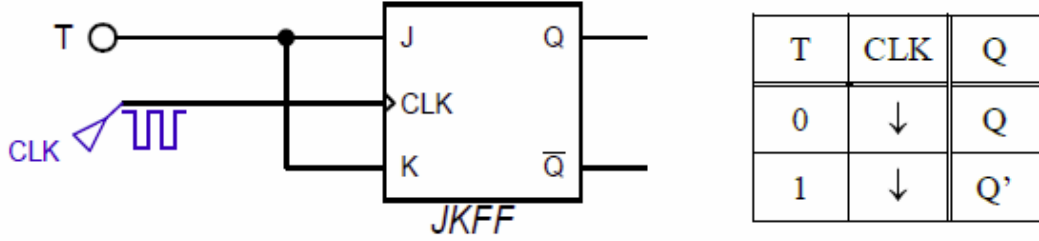
Şekil 4. J-K FF karakteristik tablosu ve karakteristik denklemini

Deneyin Yapılışı:

- 1- 74HC76P Entegresinin Vcc ve Gnd bağlantılarını yapınız.
- 2- Şekil 1’de verilen entegrenin ayak bağlantılarını dikkate alarak bir JK FF belirleyiniz.
- 3- Belirlediğiniz JK FF’nin J, K, PRESET (S_D) ve CLEAR (C_D) ayaklarını modülün lojik girişleri (girişleri) ile ayrı ayrı bağlayın. Yukarıda da ifade edildiği gibi FF’NİN NORMAL ÇALIŞABİLMESİ İÇİN PRESET ve CLEAR GİRİŞLERİNİ LOJİK 1 SEVİYESİNE AYARLAYINIZ.
- 4- Belirlediğiniz JK FF’nin saat bağlantısını (CLK) modülün TTL çıkışından 1 Hz’e ayarlayarak bağlayın. TTL ortak ucunu entegrenin Gnd ayağına bağlayınız.
- 5- Belirlediğiniz FF’nin Q çıkışına LED’i uygun biçimde bağlayın. Seri direnç elemanı ile LED’i koruyabilirsiniz. Q çıkışının durumunu gözlemlemek için LED kullanılmaktadır.
- 6- Şekil 4’te verilen karakteristik tabloyu J ve K girişlerini değiştirerek uygulayın ve JK FF’nin çalışmasını inceleyiniz (Saat darbesi bağlantısı olacak şekilde)
- 7- J=K=1 durumunda iken LED’in durumunu (FF çıkışı) en az 10 sn boyunca gözlemleyiniz. LED’in durumu nasıl değişiyor, neden?
- 8- 7. Maddeye ilave olarak TTL frekansının hızını 10 Hz’e çıkarın ve en az 30 sn boyunca LED’i kontrol ediniz. LED’in durumu nasıl değişiyor, neden?
- 9- 6. Maddeyi saat darbesi bağlantısını entegreden ayırarak tekrarlayınız. FF çıkışını inceleyiniz. 6 maddedeki durumla bu maddedeki durumları karşılaştırınız.

Deney 4.2. JK FF kullanılarak T tipi Flip-Flopun elde edilmesi:

Giriş: JK flip-flop kullanılarak T tipi flip-flop elde etmek mümkündür. Bu işlem Şekil 5'te görülmektedir



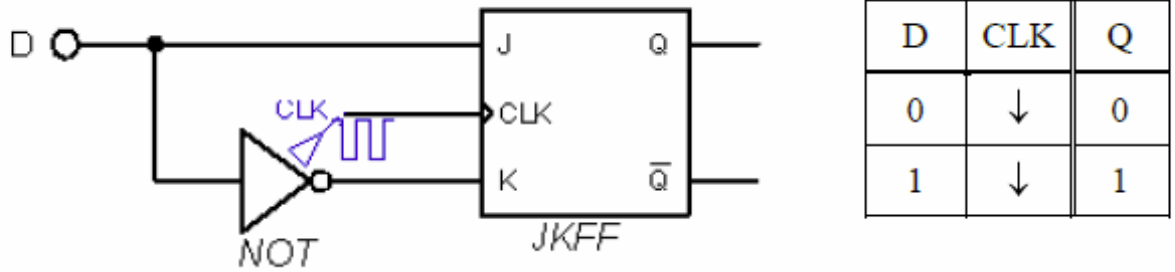
Şekil 5. JK FF'den T Tipi FF elde edilmesi

Deneyin Yapılışı:

- 1- 74HC76P Entegresinin Vcc ve Gnd bağlantılarını yapınız.
- 2- Şekil 1'de verilen entegrenin ayak bağlantılarını dikkate alarak bir JK FF belirleyiniz.
- 3- J ve K ayaklarını Şekil 5'te gösterildiği gibi kısa devre ediniz. Ortak noktalarını T girişi olarak belirleyiniz.
- 4- Belirlediğiniz FF'nin T, PRESET (S_D) ve CLEAR (C_D) ayaklarını modülün lojik girişleri (girişleri) ile ayrı ayrı bağlayın. Yukarıda da ifade edildiği gibi FF'NİN NORMAL ÇALIŞABİLMESİ İÇİN PRESET ve CLEAR GİRİŞLERİNİ LOJİK 1 SEVİYESİNE AYARLAYINIZ.
- 5- Belirlediğiniz FF'nin saat bağlantısını (CLK) modülün TTL çıkışından 1 Hz'e ayarlayarak bağlayın. TTL ortak ucunu entegrenin Gnd ayağına bağlayınız.
- 6- Belirlediğiniz FF'nin Q çıkışına LED'i uygun biçimde bağlayın. Seri direnç elemanı ile LED'i koruyabilirsiniz. Q çıkışının durumunu gözlemlemek için LED kullanılmaktadır.
- 7- Şekil 5'te verilen doğruluk tablosunu kullanarak T girişini değiştirerek uygulayın ve elde ettiğiniz T FF'nin çalışmasını inceleyiniz (Saat darbesi bağlantısı olacak şekilde),
- 8- Uyguladığınız saat darbesinin frekansını 10 Hz'e çıkararak Q çıkışındaki değişimi gözlemleyiniz.

Deney 4.3. JK FF kullanılarak D tipi Flip-Flopun elde edilmesi:

Giriş: JK flip-flop kullanılarak D tipi flip-flop elde etmek mümkündür. Bu işlem Şekil 6'da görülmektedir



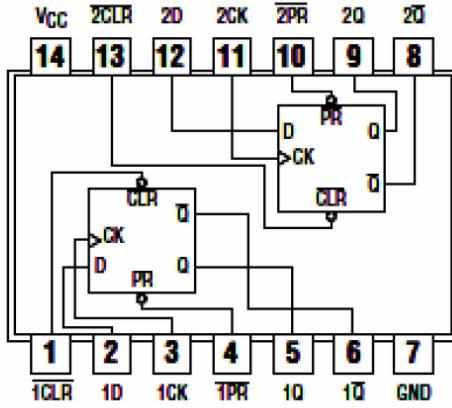
Şekil 6. JK FF'den D Tipi FF elde edilmesi

Deneyin Yapılışı:

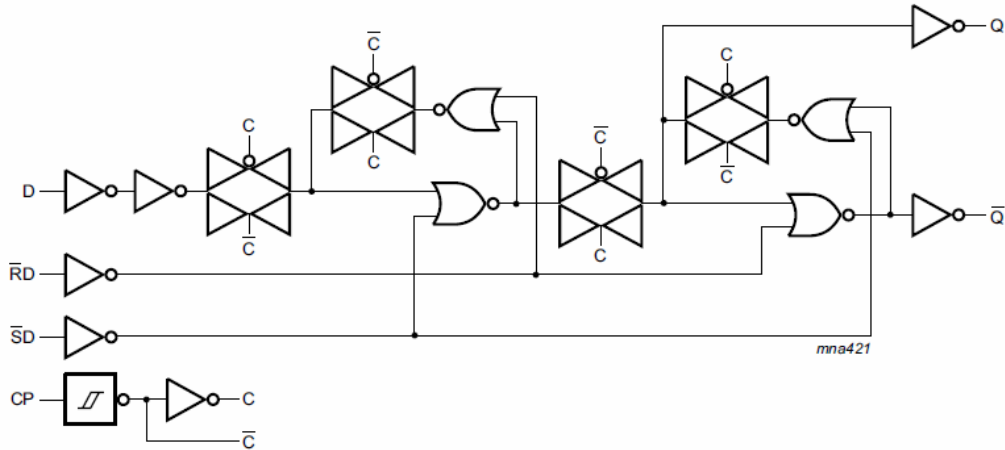
- 1- 74HC76P Entegresinin Vcc ve Gnd bağlantılarını yapınız.
- 2- Şekil 1'de verilen entegrenin ayak bağlantılarını dikkate alarak bir JK FF belirleyiniz.
- 3- J ve K ayaklarını Şekil 6'da gösterildiği gibi inverter kullanarak birleştiriniz. Şekildeki gibi ortak noktalarını D girişi olarak belirleyiniz.
- 4- Belirlediğiniz FF'nin D, PRESET (S_D) ve CLEAR (C_D) ayaklarını modülün lojik girişleri (girişleri) ile ayrı ayrı bağlayın. Yukarıda da ifade edildiği gibi FF'NİN NORMAL ÇALIŞABİLMESİ İÇİN PRESET ve CLEAR GİRİŞLERİNİ LOJİK 1 SEVİYESİNE AYARLAYINIZ.
- 5- Belirlediğiniz FF'nin saat bağlantısını (CLK) modülün TTL çıkışından 1 Hz'e ayarlayarak bağlayın. TTL ortak ucunu entegrenin Gnd ayağına bağlayınız.
- 6- Belirlediğiniz FF'nin Q çıkışına LED'i uygun biçimde bağlayın. Seri direnç elemanı ile LED'i koruyabilirsiniz. Q çıkışının durumunu gözlemlemek için LED kullanılmaktadır.
- 7- Şekil 6'da verilen doğruluk tablosunu kullanarak D girişini değiştirerek uygulayın ve elde ettiğiniz T FF'nin çalışmasını inceleyiniz (Saat darbesi bağlantısı olacak şekilde),
- 8- Uyguladığınız saat darbesinin frekansını 10 Hz'e çıkararak Q çıkışındaki değişimi gözlemleyiniz.

Deney 4.4. D Tipi Flip Flop'un 74HC74N entegresi (D FF) ile incelenmesi:

Giriş: D tipi FF içeren 74HC74N entegresinin iç yapısı Şekil 7'de gösterilmektedir. Bir FF'ye ait lojik şema ise Şekil 8'de gösterilmektedir.



Şekil 7. 74HC74N entegresinin iç yapısı



Şekil 8. Bir FF'ye ait lojik şema

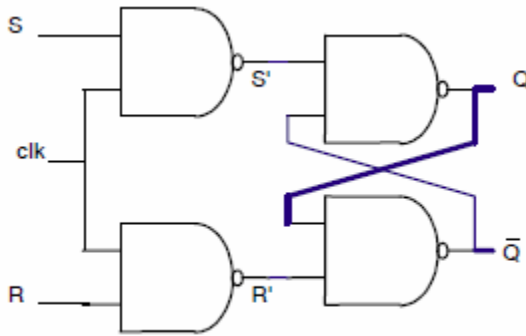
D tipi FF'lerde ayrıca PRESET ve CLEAR olmak üzere iki ayrı giriş mevcuttur. Bu iki giriş D tipi FF'lerde girişlerden bağımsız olarak FF'nin durumunu asenkron olarak etkiler. PRESET=0 iken Q daima set durumunda (Q=1) ve PRESET=1 iken FF normal çalışma özelliklerini gösterir. CLEAR=0 iken Q daima reset durumundadır (Q=0). CLEAR=1 iken FF çalışma özeliğini devam ettirir. **YANI FF'NİN NORMAL ÇALIŞABİLMESİ İÇİN BU İKİ GİRİŞİNDE LOJİK 1 SEVİYESİNDE OLMASI GEREKİR.** Bu iki giriş kesinlikle aynı anda kullanılmamalıdır. Tanım gereği PRESET=CLEAR=0 durumu kesinlikle uygulanmamalıdır.

Deneyin Yapılışı:

- 1- 74HC74N Entegresinin Vcc ve Gnd bağlantılarını yapınız.
- 2- Şekil 7’de verilen entegrenin ayak bağlantılarını dikkate alarak bir D FF belirleyiniz.
- 3- Belirlediğiniz FF’nin D, PRESET (S_D) ve CLEAR (C_D) ayaklarını modülün lojik girişleri (girişleri) ile ayrı ayrı bağlayınız. Yukarıda da ifade edildiği gibi FF’NİN NORMAL ÇALIŞABİLMESİ İÇİN PRESET ve CLEAR GİRİŞLERİNİ LOJİK 1 SEVİYESİNE AYARLAYINIZ.
- 4- Belirlediğiniz FF’nin saat bağlantısını (CLK) modülün TTL çıkışından 1 Hz’e ayarlayarak bağlayın. TTL ortak ucunu entegrenin Gnd ayağına bağlayınız.
- 5- Belirlediğiniz FF’nin Q çıkışına LED’i uygun biçimde bağlayın. Seri direnç elemanı ile LED’i koruyabilirsiniz. Q çıkışının durumunu gözlemlemek için LED kullanılmaktadır.
- 6- Şekil 6’da verilen doğruluk tablosunu kullanarak D girişini değiştirerek uygulayın ve elde ettiğiniz T FF’nin çalışmasını inceleyiniz (Saat darbesi bağlantısı olacak şekilde),
- 7- Uyguladığınız saat darbesinin frekansını 10 Hz’e çıkararak Q çıkışındaki değişimi gözlemleyiniz.

Deney 4.5. VEDEĞİL (NAND) Kapıları ile Tetiklemeli RS Tipi Flip Flop Tasarımı ve RS tipi Flip Flopların incelenmesi

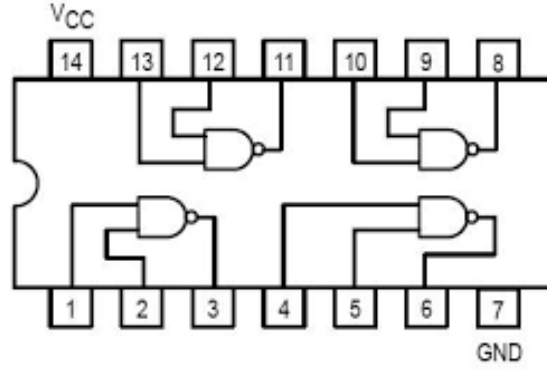
Giriş: Tetiklemeli RS tipi FF’nin NAND kapıları ile tasarım devresi Şekil 8’de gösterilmektedir. RS Tipi FF’nin doğruluk tablosu ise Tablo 2’de verilmiştir. NAND kapısının içyapısı ise Şekil 9’da gösterilmektedir.



Şekil 8. NAND Kapıları ile Tetiklemeli RS Tipi Flip Flop Tasarımı

R	S	CLK	Çıkış Q
0	0	1	Q_0 (Değişiklik yok)
0	1	1	1
1	0	1	0
1	1	1	Belirsiz

Tablo 2. RS Tipi FF’nin doğruluk tablosu (her durum için CLK=1’dir.)



Şekil 9. NAND entegresi iç yapısı

Deneyin Yapılışı:

- 1- Şekil 8'de gösterilen RS FF tasarımını bord üzerine kurunuz.
- 2- Kullandığımız entegrenin Vcc ve Gnd bağlantılarını yapınız.
- 3- Saat bağlantısını (CLK), modülün TTL çıkışından 1 Hz'e ayarlayarak bağlayın. TTL ortak ucunu entegrenin Gnd ayağına bağlayınız.
- 4- Belirlediğiniz FF'nin Q çıkışına LED'i uygun biçimde bağlayın. Seri direnç elemanı ile LED'i koruyabilirsiniz. Q çıkışının durumunu gözlemlemek için LED kullanılmaktadır.
- 5- Tablo 2'de verilen R ve S giriş değerlerini kullanarak Q çıkışını gözlemleyiniz ve Tablo 'de verilen doğruluk tablosunu elde ediniz.